



**Πανεπιστήμιο Πειραιώς – Τμήμα Πληροφορικής
Πρόγραμμα Μεταπτυχιακών Σπουδών
«Προηγμένα Συστήματα Πληροφορικής»**

Μεταπτυχιακή Διατριβή

Δοκιμή ολοκληρωμένων κυκλωμάτων με χρήση του Inovys Personal Ocelot **και του προτύπου** IEEE Std. 1450 STIL (Standard Test Interface Language)

Testing integrated circuits on Inovys Personal Ocelot with the use of IEEE Std. 1450 STIL (Standard Test Interface Language)

Όνοματεπώνυμο Φοιτητή: Ευστράτιος Γκλιάτης, ΜΠΣΠ 11005

Επιβλέπων: Ψαράκης Μιχαήλ, Επίκουρος Καθηγητής

Ιανουάριος 2015



Στόχος της παρουσίασης,

- **Η κατανόηση του προτύπου IEEE1450 STIL (standard Test Interface Language) και χρήση του με τον ελεγκτή ολοκληρωμένων κυκλωμάτων Personal Inovys Ocelot.**

Κίνητρο ενασχόλησης με το συγκεκριμένο θέμα,

- **Η σημασία του σταδίου ελέγχου και επαλήθευσης (Test & Verification) στη βιομηχανία παραγωγής ολοκληρωμένων κυκλωμάτων**
- **Η δυνατότητα εκτέλεσης εξαντλητικών ελέγχων στο προς ανάπτυξη σχέδιο σε συνθήκες που προσομοιώνουν τις πραγματικές, και σε μεγάλη διάρκεια, με τη βοήθεια του ελεγκτή Inovys Personal Ocelot**

Ευχαριστίες

- **Επίκουρος Καθηγητής Ψαράκης Μιχαήλ**
- **Εργαστήριο Ενσωματωμένων Υπολογιστικών Συστημάτων**



Πρότυπο IEEE 1450 STIL (standard Test Interface Language)

- **1994 Συνέδριο** Motorola (PowerPC) **Όστιν Τέξας σε συνεργασία με την IBM**
- **1999 Τελική κατάληξη του προτύπου**

- **Καθυστέρηση ανάπτυξης του PowerPC**
- **Μεταφορά πληροφορίας – δεδομένων ελέγχου μεταξύ των εταιριών**
- **Έλλειψη προτύπου διαδικασίας ελέγχου**

Ιδρυτική τριανδρία:

- **Κατασκευαστές ελεγκτών υλικού**
- **Κατασκευαστές εργαλείων αυτόματου ελέγχου**
- **Κατασκευαστές ολοκληρωμένων κυκλωμάτων και χρήστες των ανωτέρω**



Πρότυπο IEEE 1450 STIL (standard Test Interface Language)

κεντρική ιδέα του προτύπου

- Περιγραφή του τρόπου δοκιμών ολοκληρωμένων κυκλωμάτων σε μορφή υλικού
- Μικροελεγκτές / μικροεπεξεργαστές αλλά και ολοκληρωμένου κυκλώματος εξειδικευμένης εφαρμογής (Application Specific Integrated Circuit, ASIC)
- Μεγάλος όγκος παραγωγής με μεγαλύτερη άνεση καθυστέρησης / μικρότερος όγκος με ανάγκη ταχύτατης παραγωγής

Τυπικοί έλεγχοι του προτύπου

- Διασυνδέσεων του υπό δοκιμή ολοκληρωμένου κυκλώματος (DUT Device Under Test) και των ακροδεκτών του ελεγκτή
- Δομικός έλεγχος διασυνδέσεων και ορθής λειτουργίας
- Έλεγχος χρονικής συμπεριφοράς
- Επικύρωση εισόδων / εξόδων (IO Verification)
- Stress Test σε οριακές τιμές



Πρότυπο IEEE 1450 STIL (standard Test Interface Language)

- **Σπονδυλωτή δημιουργία pattern και αρχείων ελέγχου**
- **Επαναχρησιμοποίηση τμημάτων με ελάχιστη τροποποίηση**
- **Τροποποίηση των αρχείων ελέγχου και ανάπτυξη επεκτάσεων κατά περίπτωση (περιβάλλον / κύκλωμα)**
- **Περιγραφή των σημάτων, πινάκων κυματομορφών, διανυσμάτων εισόδου, χρονικής συμπεριφοράς σε ανάλογα μπλοκ κώδικα με βάση το πρότυπο**

Παραδείγματα μπλοκ κώδικα

```
Signals {  
pin000 InOut;  
pin001 InOut;  
pin002 InOut;  
pin003 InOut;  
}
```



Πρότυπο IEEE 1450 STIL (standard Test Interface Language)

```
PinList OEspPL {
  Sites 1;
  pin000 ( 0);
  pin001 ( 1);
  pin002 ( 4);
  pin003 ( 5);
}
SignalGroups { ALLPINS = 'pin000+pin001+pin002+pin003'; }
Timing OEspTM {
  WaveformTable Wft0 {
    Period '100ns';
    Waveforms {
      ALLPINS { 01 { '0s' D/U; }}
      ALLPINS { LH { '0s' Z; '50ns' L/H; }}
      ALLPINS { X { '0s' Z; } } }
  }
  DCLevels OEspDCL { ALLPINS{ VIH 2.5V; VOH 1.0V; }}
```



Πρότυπο IEEE 1450 STIL (standard Test Interface Language)

Βασικές καταστάσεις σημάτων

- Drive [D, U, Z, P, N]
- Compare [L, H, X, T, V]
- Expect [R, G, Q, M]
- Intermediate [A, B, F, ?]

Το πρότυπο παραμένει υπό εξέλιξη με δημιουργία επεκτάσεων

- **1450.1 (σχεδίαση για περιβάλλον ημιαγωγών)**
- 1450.2-2002 (επίπεδα τάσης ρευμάτων)
- **1450.3 (καθορισμός απαιτήσεων ελεγκτών)**
- 1450.4 (καθορισμός ροής προγράμματος ελέγχου)
- **1450.5 (καθορισμός απαιτήσεων ελέγχων ημιαγωγών)**
- 1450.6 (Core Test Language)



INOVYS PERSONAL OCELOT

- Inovys corporation (1999)
- **Ελεγκτής χαμηλού κόστους συγκριτικά με τον ανταγωνισμό**
- **Περιβάλλον Stylus που υποστηρίζει Std. IEEE 1450 STIL (Standard Test Interface Language)**
- **Εξαγορά από Verigy (2007), LTX-Credence και τελικά από την Advantest (2011)**
- **Διακοπή κυκλοφορίας αλλά με συνέχιση της υποστήριξης**





INOVYS PERSONAL OCELOT

- 64 Data Pins
- 32M Data Pattern Memory
- 16M Data Capture Memory
- 1 DC Parametric Measurement Unit
- 1 Device Power Supply Expansion
- 1 HPCC (High Performance Clock Channel)

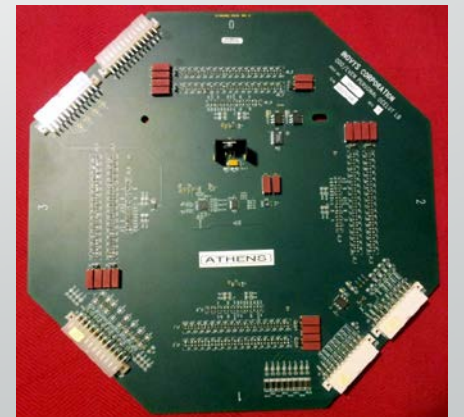
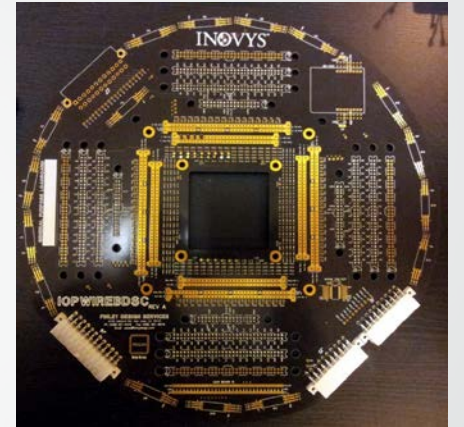
Συνολικές δυνατότητες

- 256 **ακροδέκτες (4 μπλοκ των 64 ακροδεκτών (TRG Tester Resource Group))**
- 256 PC133 memory (**έως 512M** Pattern, Instruction Memory)
- **Η μνήμη αλλάζει δυναμικά κατά την εκτέλεση των pattern (ανάλογα με το μέγεθος των test Vectors)**
- **Ανεξάρτητη** Data Capture Memory **ανά** TRG (255 words)
- 32bit counter **αυξανόμενος σε κάθε κύκλο ρολογιού για καταγραφή**



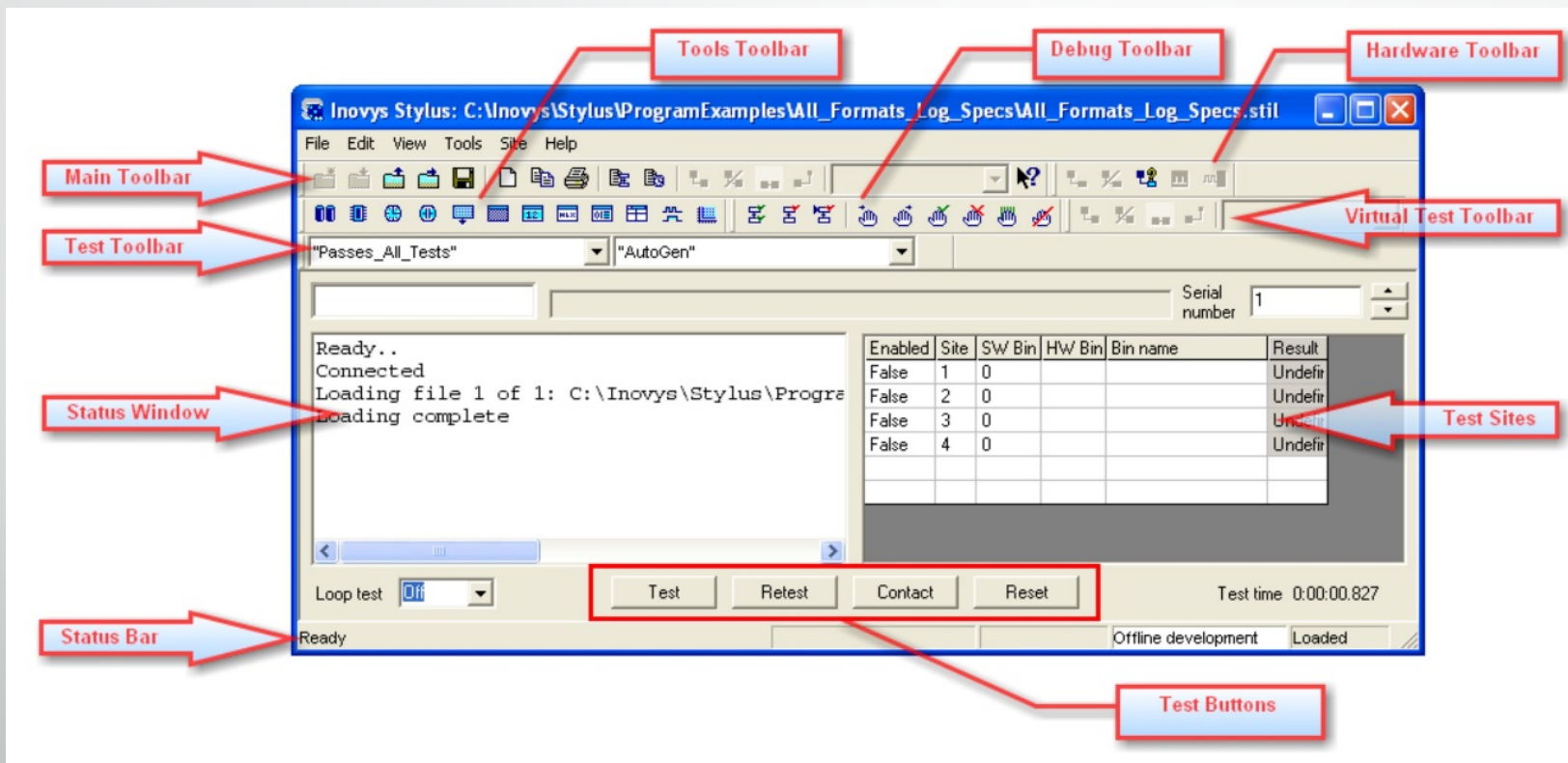
INOVYS PERSONAL OCELOT

- LoadBoard **σύνδεσης ολοκληρωμένων κυκλωμάτων**
- IOWIREBDSC Loadboard (**κενή με ακροδέκτες τύπου Through Hole Vias**)
- ODD/EVEN Loadboard (**φυσική σύνδεση μεταξύ περιττών και αρτίων ακροδεκτών του ελεγκτή**)
- **Συνδέσεις καλωδίων ρεύματος στη βάση των πλακετών**



INOVYS PERSONAL OCELOT- Stylus

- **Εύχρηστο περιβάλλον του ελεγκτή (Stylus)**
- **Επιμέρους εργαλεία στα μενού που αντιστοιχούν στα μπλοκ του προτύπου Std. IEEE 1450 STIL**





INOVYS PERSONAL OCELOT- Stylus

- 2 **τύποι αρχείων**
- **.STIL (Αρχείο προτύπου)**
- **.SPAT (Αρχείο Pattern)**

```
Pattern OEspP {
```

```
W Wfto;
```

```
V{ALLPINS=XXXX;}
```

```
V{ALLPINS=oLoL;}
```

```
V{ALLPINS=1H1H;}
```

```
V{ALLPINS=oLoL;}
```

```
V{ALLPINS=1H1H;}
```

```
V{ALLPINS=oLoL;}
```

```
}
```



Δοκιμές ελέγχου σε πραγματικά κυκλώματα υλοποιημένα σε Xilinx Spartan 3E

- 3 bit Adder
- 3 bit Multiplier
- **Καθορισμός ακροδεκτών εισόδου εξόδου**
- **Καθορισμός χρονισμού κυκλώματος**
- **Καθορισμός επιπέδου τάσεων λειτουργίας**
- **Δημιουργία Pattern (διανυσμάτων που θα εφαρμοστούν στους ακροδέκτες)**
- **Σύνδεση των ανωτέρω**
- **Φόρτωση του ανάλογου κυκλώματος στην πλακέτα Xilinx Spartan 3E**
- **Εκτέλεση του αρχείου ελέγχου**





Δοκιμές ελέγχου σε πραγματικά κυκλώματα υλοποιημένα σε Xilinx Spartan 3E

- Βασική διαφορά μεταξύ των κυκλωμάτων η ύπαρξη σήματος ρολογιού στο κύκλωμα του πολλαπλασιαστή
- Αυτόματη παραγωγή αρχείου Pattern μέσω του εργαλείου Isim ή του Modelsim κατά την εκτέλεση του Testbench αρχείου
- Παρατήρηση αποκλίσεων στο χρονοισμό των κυκλωμάτων μεταξύ ελεγκτή και πλακέτα Xilinx
- Πειραματισμός στο χρονοισμό και τις επαναλήψεις ελέγχου για την εύρεση των οριακών τιμών κάθε κυκλώματος
- Επανάληψη εκτελέσεων ελέγχου με χρήση της ιδιότητας Loop του Stylus καθώς πλησιάζοντας τις οριακές τιμές χρονοισμού ή συμπεριφορά των ολοκληρωμένων εμφάνιζε εναλλαγές στα αποτελέσματα επιτυχίας - αποτυχίας



Xilinx ISE Project Navigator

- **Υλοποίηση 3 bit αθροιστή με χρήση κώδικά VHDL**
- **Δημιουργία TestBench Αρχείου για εκτέλεση προσομοίωσης με χρήση του Isim**
- **Δημιουργία αρχείου .txt με τις τιμές των σημάτων του testbench αρχείου**
- **Καθορισμός συσχετισμού ακροδέκτη – σήματος κυκλώματος**
- **Φόρτωση του υλοποιημένου κυκλώματος στην πλακέτα**
- **Δοκιμή του κυκλώματος στο περιβάλλον Stylus μετά τη σύνδεση με τον ελεγκτή Inovys Personal Ocelot**



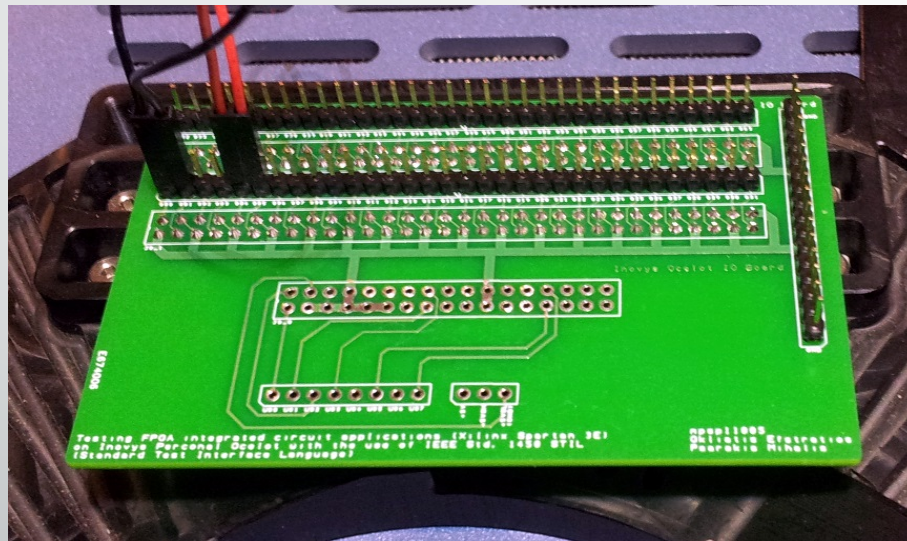
Xilinx ISE Project Navigator

- **Υλοποίηση 3 bit πολλαπλασιαστή με χρήση κώδικά VHDL και χρήση του εργαλείου Core Generator**
- **Δημιουργία TestBench Αρχείου για εκτέλεση προσομοίωσης με χρήση του Isim**
- **Δημιουργία αρχείου .txt με τις τιμές των σημάτων του testbench αρχείου**
- **Καθορισμός συσχετισμού ακροδέκτη - σήματος κυκλώματος**
- **Φόρτωση του υλοποιημένου κυκλώματος στην πλακέτα**
- **Δοκιμή του κυκλώματος στο περιβάλλον Stylus μετά τη σύνδεση με τον ελεγκτή Inovys Personal Ocelot**



Universal LoadBoard για τη σύνδεση του ελεγκτή με ολοκληρωμένα κυκλώματα

- Inovys Ocelot IO Board
- **Δυνατότητα σύνδεσης των ακροδεκτών σε pin header με απόσταση ακροδεκτών (pitch 2.54mm)**





Συμπεράσματα

- **Σημασία της ύπαρξης προτύπου για τον έλεγχο και επαλήθευση στη βιομηχανία παραγωγής ολοκληρωμένων κυκλωμάτων**
- **Επιτάχυνση των διαδικασιών έρευνας και ανάπτυξης με χρήση του προτύπου Std. IEEE 1450 STIL**
- **Πρακτική αξία χρήσης αυτομάτων εργαλείων**
- **Ταχύτητα και αμεσότητα στη διαδικασία δοκιμής ολοκληρωμένων κυκλωμάτων με χρήση της πλακέτας FPGA Xilinx Spartan 3E**
- **Δυνατότητα περαιτέρω εμβάθυνσης στο πρότυπο και χρήσης του για ολοκληρωμένα κυκλώματα μεγαλύτερης πολυπλοκότητας**