



Πανεπιστήμιο Πειραιώς – Τμήμα Πληροφορικής
Πρόγραμμα Μεταπτυχιακών Σπουδών
«Προηγμένα Συστήματα Πληροφορικής»

Μεταπτυχιακή Διατριβή

Τίτλος Διατριβής	Επιτάχυνση ενός αλγόριθμου διαχωρισμού ομιλίας/ μουσικής με χρήση FPGA – FPGA-based acceleration of a speech/music discrimination algorithm
Όνοματεπώνυμο Φοιτητή	Φαρδής Στέφανος-Αντώνιος του Παναγιώτη
Αριθμός Μητρώου	ΜΠΣΠ/10043
Κατεύθυνση	Τεχνολογία Ενσωματωμένων Υπολογιστικών Συστημάτων
Επιβλέπων	Ψαράκης Μιχάλης, Επίκουρος Καθηγητής

Πανεπιστήμιο Πειραιώς-Τμήμα Πληροφορικής

Πρόγραμμα Μεταπτυχιακών Σπουδών στα
Προηγμένα Συστήματα Πληροφορικής

Πανεπιστήμιο Πειραιώς

Πανεπιστήμιο Πειραιώς

Τριμελής Εξεταστική Επιτροπή

Μιχάλης Ψαράκης
Επίκουρος Καθηγητής

Παναγιώτης Κοτζανικολάου
Λέκτορας

Άγγελος Πικράκης
Λέκτορας

Περίληψη

Η παρούσα εργασία αφορά την υλοποίηση ενός αλγόριθμου διαχωρισμού ομιλίας από μουσική [5]. Με τον όρο αυτό εννοείται η αναγνώριση και κατηγοριοποίηση τμημάτων – ή αλλιώς πλαίσιων – ήχου ως ομιλία ή μουσική. Ο υλοποιηθείς αλγόριθμος βασίζεται στην εξαγωγή από την ηχητική πληροφορία του χαρακτηριστικού της χρωματικής εντροπίας. Κατόπιν υπολογίζεται η μέση τιμή και η τυπική απόκλιση. Τα πλαίσια κατηγοριοποιούνται ανάλογα με το αν η τυπική απόκλιση έχει τιμή μεγαλύτερη από ένα προκαθορισμένο κατώφλι. Η μέθοδος υλοποιήθηκε στην αναπτυξιακή πλακέτα Xilinx ML403 η οποία διαθέτει FPGA της οικογένειας Virtex 4. Το σύστημα βασίζεται στον επεξεργαστή PowerPC ο οποίος υπάρχει εντός του FPGA. Τμήματα του αλγορίθμου, και συγκεκριμένα η συλλογή των δειγμάτων ήχου και ο υπολογισμός του φάσματος συχνοτήτων κάθε πλαισίου υλοποιήθηκαν απευθείας στο υλικό για λόγους απόδοσης.

Abstract

This thesis objective is the implementation of a speech-music discrimination algorithm [5]. This refers to the identification and classification of audio stream segments – or else frames – as speech or music. The implemented method is based on extracting from the audio recording, a feature called spectral entropy. As soon as spectral entropy has been extracted from an audio frame, mean value and standard deviation are calculated. Frames are classified depending on standard deviation's value, and specifically whether it is bigger than a predefined threshold. The method was implemented on Xilinx ML403 development board, which includes an FPGA of the Virtex 4 family. The developed system is based on the PowerPC processor that resides within the FPGA. Parts of the algorithm, and specifically audio frames sampling and frequency spectrum calculation are implemented directly in hardware for performance reasons.

Πίνακας Περιεχομένων

Περίληψη.....	4
Πίνακας Περιεχομένων	5
Εισαγωγή.....	6
Κεφάλαιο 1 - Διαχωρισμός ομιλίας από μουσική.....	7
1.1 Προγενέστερες μέθοδοι.....	7
1.2 Διαχωρισμός με φασματική εντροπία και επέκταση περιοχής	8
1.3 Fast Fourier Transform.....	9
Κεφάλαιο 2 - Πλατφόρμα και εργαλεία ανάπτυξης ενσωματωμένου συστήματος.....	14
2.1 Πλατφόρμα ανάπτυξης - Xilinx ML403.....	14
2.2 Περιβάλλον ανάπτυξης.....	16
2.2.1 ISE Project Navigator.....	17
2.2.2 ISE Simulator - ISim	18
2.2.3 Xilinx Platform Studio.....	19
2.2.4 Chipscope Pro.....	20
2.2.5 Xilinx Software Development Kit.....	21
Κεφάλαιο 3 - Virtex 4 FPGA	23
3.1 Εισαγωγή.....	23
3.2 Αρχιτεκτονική FPGA	23
3.3 Τρόποι διαμόρφωσης FPGA	25
3.4 Η οικογένεια Virtex 4.....	26
Κεφάλαιο 4 - Power PC 405.....	29
4.1 Εισαγωγή.....	29
4.2 Αρχιτεκτονική και οργάνωση υλικού.....	29
4.3 Χαρακτηριστικά του PowerPC σχετικά με λογισμικό.....	31
4.4 Διεπαφές Εισόδου/Εξόδου	32
4.4.1 Διεπαφές Processor Local Bus	33
4.4.2 Διεπαφές On-Chip μνήμης	35
4.5 Εξαιρέσεις και διακοπές του PowerPC.....	37
Κεφάλαιο 5 - AC'97 Codec – LM4550.....	38
5.1 Εισαγωγή.....	38
5.2 Στερεοφωνικός κωδικοποιητής ήχου LM4550.....	39
5.2.1 Καταχωρητές του κωδικοποιητή ήχου LM4550	41
5.2.2 Επικοινωνία με το LM4550 – AC-Link	45
Κεφάλαιο 6 - Υλοποίηση εφαρμογής	49
6.1 Εισαγωγή.....	49
6.2 Ελεγκτής AC97	49
6.3 Speech Music Discrimination IP core	51
6.4 Σύνθεση συστήματος στο XPS.....	59
6.5 Ανάπτυξη λογισμικού στο SDK	62
6.6 Χρόνοι εκτέλεσης πριν και μετά την επιτάχυνση με χρήση FPGA.....	66
6.7 Μελλοντικές βελτιώσεις.....	67
Βιβλιογραφία.....	68

Εισαγωγή

Η παρούσα εργασία αφορά την υλοποίηση μία τεχνικής διαχωρισμού ομιλίας από μουσική. Αποτελεί επέκταση παλαιότερης διατριβής [32], και επιχειρεί την επιτάχυνση του αλγορίθμου με χρήση FPGA. Το αναπτυχθέν σύστημα είναι σε θέση να κατηγοριοποιήσει ηχητικά πλαίσια σε μουσική ή ομιλία, επιτρέποντας έτσι την αναπαραγωγή στην έξοδο του πλαισίων που χαρακτηρίστηκαν ως μουσική και μόνο.

Οι επικρατέστερες μέθοδοι διαχωρισμού περιέχουν δύο ξεχωριστά στάδια. Στο πρώτο στάδιο το ηχητικό σήμα χωρίζεται σε τμήματα με την ανίχνευση απότομων μεταβολών και στο δεύτερο στάδιο τα τμήματα ταξινομούνται ως ομιλία ή μουσική με τη χρήση συστημάτων ταξινόμησης. Η προτεινόμενη μέθοδος λειτουργεί σε ένα χαρακτηριστικό γνώρισμα, την φασματική εντροπία, η οποία εξάγεται από την εισερχόμενη ροή ήχου. Το χαρακτηριστικό αυτό εξάγεται για κάθε ένα από τα πλαίσια που αποτελούν την εισερχόμενη ροή. Με βάση την τιμή της τυπικής απόκλισης του χαρακτηριστικού αυτού από την μέση τιμή, γίνεται επέκταση περιοχής ή διακοπής της. Η τεχνική αυτή έχει ρίζες στην επεξεργασία εικόνας.

Η υλοποίηση του αλγόριθμου έγινε στην αναπτυξιακή πλακέτα ML403 της Xilinx. Τμήμα του αλγορίθμου, και συγκεκριμένα ο υπολογισμός του FFT καθώς και του μέτρου της εξόδου αυτού εκτελείται στο υλικό, και συγκεκριμένα στο FPGA της οικογένειας Virtex 4 που παρέχει η κάρτα. Τα υπόλοιπα βήματα του αλγορίθμου υλοποιούνται στο λογισμικό το οποίο εκτελείται στον PowerPC της πειραματικής διάταξης. Για τις ανάγκες της εργασίας έγινε ανάπτυξη ελεγκτή ο οποίος ελέγχει τον AC97 κωδικοποιητή/αποκωδικοποιητή της διάταξης. Ο ελεγκτής αυτός παρέχει επίσης διεπαφή με τον δίαυλο PLB του συστήματος.

Στο Κεφάλαιο 1 περιγράφεται ο αλγόριθμος που υλοποιήθηκε.

Στο Κεφάλαιο 2 περιγράφεται συνοπτικά η αναπτυξιακή πλακέτα που χρησιμοποιήθηκε καθώς και τα προγραμματιστικά/σχεδιαστικά εργαλεία μέσω των οποίων έγινε η ανάπτυξη και αποσφαλμάτωση της εφαρμογής.

Στο Κεφάλαιο 3 γίνεται μία σύντομη παρουσίαση των FPGAs και δίνονται περισσότερες λεπτομέρειες σχετικά με το PPGA που συναντάται στην αναπτυξιακή πλακέτα που χρησιμοποιήθηκε.

Στο Κεφάλαιο 4 δίνεται μία σύντομη περιγραφή του επεξεργαστή PowerPC 405 ο οποίος υπάρχει εντός του FPGA.

Στο Κεφάλαιο 5 δίνονται λεπτομέρειες σχετικές με τον κωδικοποιητή/αποκωδικοποιητή ήχου της αναπτυξιακής πλακέτας.

Στο Κεφάλαιο 6 περιγράφεται η ανάπτυξη της εφαρμογής και συγκεκριμένα ο αναπτυχθείς AC97 ελεγκτής, το IP core το οποίο υλοποιεί μέρος του αλγορίθμου διαχωρισμού και το τελικό σύστημα που υλοποιήθηκε για τις ανάγκες της εφαρμογής. Γίνεται επίσης καταγραφή των χρόνων που απαιτούνται για την εξαγωγή του χαρακτηριστικού της χρωματικής εντροπίας, τόσο στην παλαιότερη διατριβή [32] – πριν την επιτάχυνση με χρήση FPGA -, όσο και στην παρούσα εργασία.

1

Διαχωρισμός ομιλίας από μουσική

1.1 Προγενέστερες μέθοδοι

Το πρόβλημα του διαχωρισμού ομιλίας από μουσική (Speech/Music Discrimination) απασχολεί όλο και πιο έντονα, καθώς συστήματα Αυτόματης Αναγνώρισης Ομιλίας (Automatic Speech Recognition - ASR) εντάσσονται με μεγαλύτερη συχνότητα σε πραγματικές εφαρμογές. Είναι σημαντικό τέτοιου τύπου συστήματα να δέχονται σαν είσοδο ροές ήχου που περιέχουν αποκλειστικά και μόνο τμήματα ομιλίας[α]. Επίσης, συστήματα διαχωρισμού ομιλίας από μουσική μπορούν να ωφελήσουν εφαρμογές κωδικοποίησης ήχου, όπου παραδοσιακά γίνεται χρήση διαφορετικών κωδικοποιητών για σήματα ομιλίας και μουσικής [1].

Προκειμένου να λυθεί το πρόβλημα αυτό, έχουν αναπτυχθεί διάφορες μέθοδοι τα τελευταία χρόνια, οι οποίες έχουν τα εξής δύο κοινά χαρακτηριστικά: 1) αποσκοπούν στην εξαγωγή συγκεκριμένων χαρακτηριστικών από τα ηχητικά σήματα, 2) κάνουν χρήση τεχνικών όπως Gaussian Mixture Models (GMM), Hidden Markov Models (HMM) και k-Nearest Neighbors (KNN) για να συνδυάσουν τα εξαχθέντα χαρακτηριστικά [2].

Ο Saunders [4] έχει προτείνει μία τεχνική διαχωρισμού η οποία χρησιμοποιεί την ενέργεια του ηχητικού σήματος σε συνδυασμό με τον ρυθμό Zero Crossings (ZC). Η τεχνική αυτή εφαρμόστηκε σε ηχητικά σήματα ραδιοφώνου χωρισμένα σε τμήματα των 2.4 sec. Η εξαγωγή των χαρακτηριστικών έγινε σε διαστήματα των 16 msec. Η μέθοδος πέτυχε μέγιστη απόδοση 98%.

Οι Scheirer and Slaney [3] προχώρησαν στην εξαγωγή 13 χαρακτηριστικών τα οποία χρησιμοποιούνται από τους ταξινομητές ώστε να γίνει ο διαχωρισμός. Κάθε ένα από τα χαρακτηριστικά αυτά θα μπορούσε να χρησιμοποιηθεί αυτόνομα, ενώ σε 5 από αυτά εξετάζεται η απόκλιση από την προηγούμενη τιμή και όχι η απόλυτη τιμή τους. Αυτό συμβαίνει διότι παίρνουν πολύ διαφορετικές τιμές σε ομιλία, αλλά διατηρούν σχετικά σταθερή τιμή μέσα σε ένα χρονικό παράθυρο μουσικής. Η μέθοδος αυτή πέτυχε απόδοση 98.6% εφαρμοζόμενη σε ηχητικά σήματα 2.4 sec.

Τέλος, μία από τις πολλές προσεγγίσεις, στηρίζεται στην εξαγωγή αποτελεσμάτων από τον συνδυασμό των Line Spectral Frequencies (LSF) και των Zero Crossings [1]. Η τεχνική αυτή, σε αντίθεση με τις προηγούμενες προσεγγίσεις οι οποίες εξάγουν αποτελέσματα με μία καθυστέρηση της τάξης των 0.5 – 5 sec, κατηγοριοποιεί τα πλαίσια ήχου με καθυστέρηση 20 msec. Έχει όμως μικρότερη απόδοση, με μέγιστη τιμή για σήματα μουσικής το 94.6%.

1.2 Διαχωρισμός με φασματική εντροπία και επέκταση περιοχής

Οι προγενέστερες μέθοδοι αντιμετωπίζουν το πρόβλημα σε δύο στάδια – 1) την τμηματοποίηση μέσω της ανίχνευσης αλλαγών στις τιμές συγκεκριμένων χαρακτηριστικών και 2) την κατηγοριοποίηση των τμημάτων αυτών. Στην παρούσα εργασία αυτή υιοθετείται η έννοια της επέκτασης περιοχής. Κάθε ένα από τα τμήματα ήχου μπορούν να είναι το αποτέλεσμα μιας επέκτασης περιοχής, η οποία ξεκινά από μια περιοχή που αποτελείται από ένα τμήμα και επεκτείνεται, εφ' όσον πληρούνται ορισμένα κριτήρια [5].

Η εξαγωγή του προς εξέταση χαρακτηριστικού γίνεται με τα εξής βήματα:

- Αρχικά γίνεται τμηματοποίηση της ροής ήχου σε μία ακολουθία από μη επικαλυπτόμενα βραχυπρόθεσμα τμήματα διάρκειας 50 ms το καθένα. Για κάθε τμήμα εξάγεται η χρωματική εντροπία για συχνότητες μέχρι 2 KHz με βάση την ακόλουθη σχέση:

$$f = 1127.01048 * \log\left(\frac{f_1}{700} + 1\right) \quad \text{Σχέση 1.1}$$

όπου f_1 είναι η τιμή συχνότητας σε μια γραμμική κλίμακα. Ουσιαστικά η εντροπία παριστά μαθηματικά την τυχαιότητα ή τη μη προβλεψιμότητα μιας διαδικασίας. Όλοι οι υπολογισμοί εκτελούνται στην κλίμακα mel, η οποία είναι μια μονάδα μέτρησης της έντασης ήχου.

- Το φάσμα σε κλίμακα mel των μη επικαλυπτόμενων τμημάτων χωρίζεται σε L ζώνες συχνοτήτων ή κάδους συχνοτήτων. Η κεντρική συχνότητα της κάθε ζώνης ορίζεται από την παρακάτω εξίσωση,

$$f_k = 1127.01048 * \log\left(\frac{f_0 * 2^{\frac{k}{12}}}{700} + 1\right), k = 0, \dots, L - 1 \quad \text{Σχέση 1.2}$$

όπου f_0 η κεντρική συχνότητα της κατώτερης ζώνης συχνοτήτων σε γραμμική κλίμακα. Στην εργασία αυτή θεωρούμε ότι ισχύει $f_0 = 13.75\text{Hz}$ καθώς και $L = 86$. Συνεπώς η κεντρική συχνότητα του τελευταίου κάδου συχνοτήτων έχει τιμή 1975.5 Hz σε γραμμική κλίμακα

- Η ενέργεια X_i του i -οστού κάδου συχνοτήτων, όπου $i = 0, \dots, L-1$ κανονικοποιείται με τη ενέργεια του συνολικού αριθμού κάδων σύμφωνα με τον εξίσωση

$$n_i = \frac{X_i}{\sum_{i=0}^{L-1} X_i}, i = 0, \dots, L - 1 \quad \text{Σχέση 1.3}$$

- Έπειτα, η χρωματική εντροπία (Chromatic Entropy) της κανονικοποιημένης ενέργειας φάσματος, υπολογίζεται από την εξίσωση,

$$H = - \sum_{i=0}^{L-1} n_i * \log_2(n_i) \quad \text{Σχέση 1.4}$$

Μετά το τέλος του υπολογισμού του χαρακτηριστικού της χρωματικής εντροπίας το ηχητικό σήμα αναπαριστάται από μία ακολουθία $F = \{O_1, O_2, \dots, O_T\}$ όπου T ο αριθμός των ηχητικών πλαισίων.

Η κατηγοριοποίηση των πλαισίων γίνεται εξετάζοντας την τιμή της τυπικής απόκλισης της χρωματικής εντροπίας από την μέση τιμή αυτής. Η μέση τιμή υπολογίζεται από την σχέση

$$\mu_k = \frac{(k-1)\mu_{k-1} + x}{k} \quad \text{Σχέση 1.5}$$

ενώ η τυπική απόκλιση από την σχέση

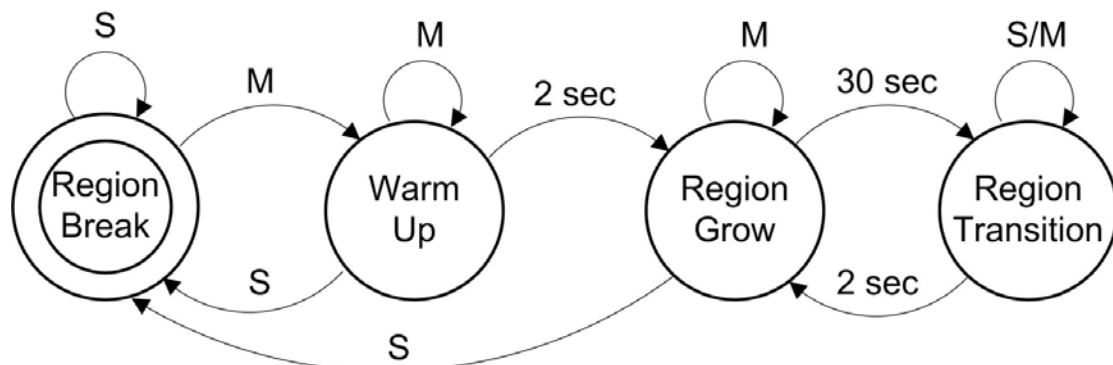
$$\sigma_k^2 = \frac{(k-2)\sigma_{k-1}^2 + \frac{k(x-\mu_k)^2}{(k-1)}}{k-1} \quad \text{Σχέση 1.6}$$

Η τιμή της τυπικής απόκλισης εξετάζεται σε σχέση με ένα προκαθορισμένο κατώφλι (Threshold). Σε περίπτωση χαρακτηρισμού του πλαισίου ως μουσική ξεκινά διαδικασία που ονομάζεται Επέκταση Περιοχής (Region Growing). Σύμφωνα με αυτή, αν το επόμενο πλαίσιο που θα ληφθεί χαρακτηριστεί επίσης ως μουσική η επέκταση περιοχής συνεχίζεται. Μετά από 2 δευτερόλεπτα συνεχούς επέκτασης ξεκινά η αναπαραγωγή της ροής ήχου. Τα 2 αυτά δευτερόλεπτα ονομάζονται Warmup Period.

Η επέκταση περιοχής διακόπτεται σε δυο περιπτώσεις:

Κατά την πρώτη περίπτωση όταν κάποιο πλαίσιο ήχου χαρακτηρίζεται ως Ομιλία. Τότε ξεκινάει μια νέα επέκταση περιοχής με μηδενισμό των χαρακτηριστικών (χρωματική εντροπία, μέση τιμή, τυπική απόκλιση) και του μετρητή των πλαισίων (Frame Counter). Κατά την διάρκεια των πρώτων 2 δευτερολέπτων η τυπική απόκλιση δεν έχει ακόμα σταθεροποιηθεί. Σύμφωνα με τον αλγόριθμο τα πλαίσια εντός των πρώτων 2 δευτερολέπτων της εκτέλεσης του αλγορίθμου ή των πρώτων 2 δευτερολέπτων μετά την έναρξη νέας περιοχής λόγω ύπαρξης πλαισίου ομιλίας δεν αναπαράγονται.

Κατά την δεύτερη περίπτωση η επέκταση της περιοχής διακόπτεται χωρίς την ύπαρξη κάποιου πλαισίου ομιλίας μετά την πάροδο 30 δευτερολέπτων. Αν η επέκταση περιοχής συνεχίζεται απρόσκοπτα μετά από κάποια χρονική στιγμή επέρχεται κορεσμός και η τιμή της τυπικής απόκλισης παραμένει σταθερή και υπεισέρχεται σφάλμα στον χαρακτηρισμό των πλαισίων. Οι τιμές της μέσης τιμής και της τυπικής απόκλισης παραμένουν σταθερές και μηδενίζεται μόνο ο μετρητής των πλαισίων. Σε αντίθεση με την πρώτη περίπτωση διακοπής επέκτασης περιοχής, κατά τα πρώτα 2 δευτερόλεπτα της νέας περιοχής τα πλαίσια ήχου αναπαράγονται.



Σχήμα 1.1 Αλγόριθμος διαχωρισμού ομιλίας-μουσικής με επέκταση περιοχής

1.3 Fast Fourier Transform

Προκειμένου να γίνει ο υπολογισμός της χρωματικής εντροπίας κάθε πλαισίου ήχου, απαιτείται να έχει εκτελεστεί γρήγορος μετασχηματισμός Fourier (Fast Fourier Transform - FFT) στα πρωτογενή δεδομένα εισόδου. Ο μετασχηματισμός αυτός αποτελεί εξέλιξη του μετασχηματισμού Fourier διακριτού χρόνου (Discrete Fourier Transform - DFT) και δημιουργήθηκε το 1965 από τους Cooley και Turkey. Στόχος του DFT (και κατ' επέκταση του FFT) είναι η μετατροπή ενός σήματος από το πεδίο του χρόνου (time domain) στο πεδίο συχνοτήτων (frequency domain). Πρόκειται για έναν από τους θεμελιώδεις αλγόριθμους στον τομέα της ψηφιακής επεξεργασίας σήματος.

Ακολουθεί μία επισκόπηση του αλγόριθμου FFT:

Έστω ότι έχουμε είσοδο $X = \langle X[0], X[1], \dots, X[n-1] \rangle$ μεγέθους n . Ο DFT της X είναι μια ακολουθία $Y = \langle Y[0], Y[1], \dots, Y[n-1] \rangle$ με $X[i], Y[i]$ γενικά μιγαδικοί αριθμοί, όπου

$$Y[i] = \sum_{k=0}^{n-1} X[k] \omega^{ki}, 0 \leq i \leq n \tag{Σχέση 1.7}$$

με $\omega = e^{2\pi\sqrt{-1}/n}$. Οι δυνάμεις του ω που χρησιμοποιούνται στον FFT ονομάζονται παράγοντες πολλαπλασιασμού (twiddle factors). Όπως φαίνεται από τη Σχέση 1.6, ο υπολογισμός ενός $Y[i]$ απαιτεί n μιγαδικούς πολλαπλασιασμούς. Γι αυτό η πολυπλοκότητα του DFT αλγορίθμου για τον υπολογισμό του Y είναι $\Theta(n^2)$. Ο FFT που θα περιγράψουμε στη συνέχεια έχει πολυπλοκότητα $\Theta(n \log_2 n)$. Ας υποθέσουμε ότι το n είναι δύναμη του 2. Ο FFT στηρίζεται στο γεγονός ότι ένας n -point DFT μπορεί να χωριστεί σε δύο ($n/2$ -point) DFTs, ως εξής,

$$Y[i] = \sum_{k=0}^{(\frac{n}{2})-1} X[2k] \omega^{2ki} + \sum_{k=0}^{(\frac{n}{2})-1} X[2k+1] \omega^{(2k+1)i} \tag{Σχέση 1.8}$$

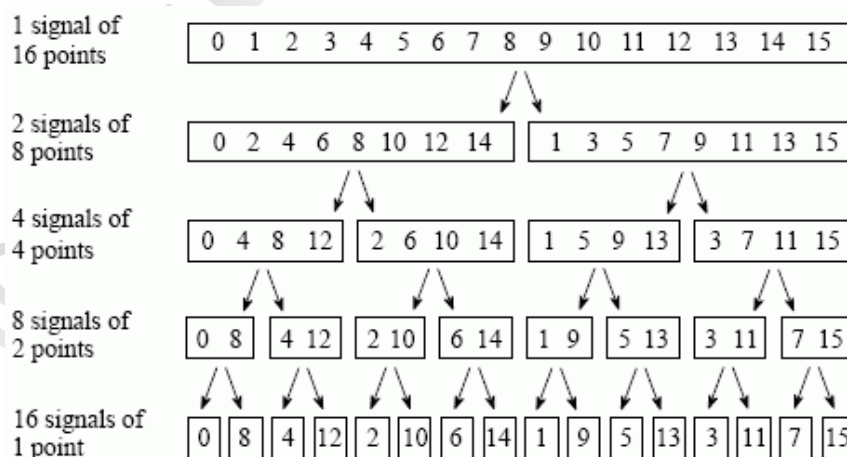
$$= \sum_{k=0}^{(\frac{n}{2})-1} X[2k] e^{2(\frac{2\pi\sqrt{-1}}{n})ki} + \sum_{k=0}^{(\frac{n}{2})-1} X[2k+1] \omega^i e^{2(\frac{2\pi\sqrt{-1}}{n})ki} \tag{Σχέση 1.9}$$

$$= \sum_{k=0}^{(\frac{n}{2})-1} X[2k] e^{\frac{2\pi\sqrt{-1}ki}{\frac{n}{2}}} + \omega^i \sum_{k=0}^{(\frac{n}{2})-1} X[2k+1] e^{2\pi\sqrt{-1}ki/(\frac{n}{2})} \tag{Σχέση 1.10}$$

Αν θέσουμε $\bar{\omega} = e^{2\pi\sqrt{-1}(-1)/(n/2)}$ γίνεται φανερό πως ο n -point DFT χωρίζεται σε δύο επιμέρους ($n/2$ -point) DFTs:

$$Y[i] = \sum_{k=0}^{(\frac{n}{2})-1} X[2k] \bar{\omega}^{ki} + \omega^i \sum_{k=0}^{(\frac{n}{2})-1} X[2k+1] \bar{\omega}^{ki} \tag{Σχέση 1.11}$$

Αν το n είναι δύναμη του δύο τότε κάθε ένας από τους παραπάνω DFT μπορεί να χωριστεί με τον ίδιο τρόπο σε δύο μικρότερους με το ίδιο μέγεθος. Συνεχίζοντας αναδρομικά την παραπάνω διαδικασία επιτυγχάνεται αποσύνθεση (decomposition) του σήματος από 1 σήμα n σημείων σε n σήματα 1 σημείου. Στο Σχήμα 1.2 φαίνεται το decomposition σήματος 16 σημείων σε 16 σήματα 1 σημείου.



Σχήμα 1.2 Αποσύνθεση (decomposition) 1 σήματος 16 σημείων σε 16 σήματα 1 σημείου

Παρατηρούμε πως χρειάζονται $\log_2 N$ στάδια για να επιτευχθεί decomposition του σήματος. Αυτό που ουσιαστικά επιτυγχάνεται είναι αλλαγή της σειράς των δειγμάτων του σήματος. Συνεχίζοντας το παραπάνω παράδειγμα, βλέπουμε στο Σχήμα 1.3 τα δείγματα του σήματος πριν και μετά την

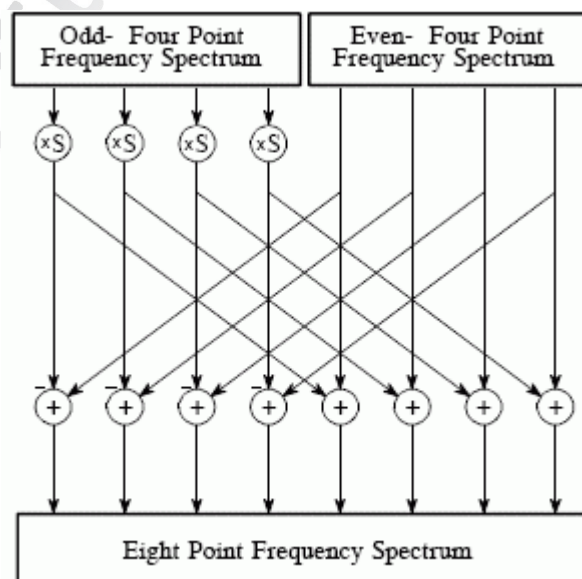
αναδιάταξη, μαζί με την δυαδική αναπαράστασή τους. Όπως φαίνεται, η δυαδική αναπαράσταση των αναδιατεταγμένων δειγμάτων είναι αντίστροφη της αρχικής.

Sample numbers in normal order			Sample numbers after bit reversal	
Decimal	Binary		Decimal	Binary
0	0000		0	0000
1	0001		8	1000
2	0010		4	0100
3	0011		12	1100
4	0100		2	0010
5	0101		10	1010
6	0110	→	6	0100
7	0111		14	1110
8	1000		1	0001
9	1001		9	1001
10	1010		5	0101
11	1011		13	1101
12	1100		3	0011
13	1101		11	1011
14	1110		7	0111
15	1111		15	1111

Σχήμα 1.3 Αναδιάταξη δειγμάτων με αντίστροφη bit (bit reversal sorting)

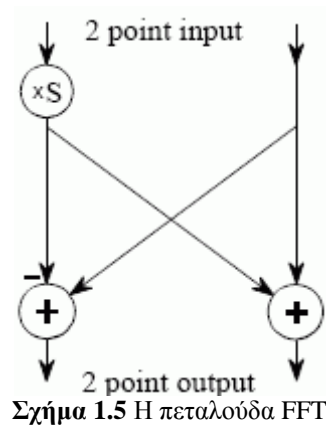
Το επόμενο βήμα είναι ο υπολογισμός του φάσματος συχνοτήτων των n σημάτων 1 σημείου. Προφανώς το φάσμα συχνότητας ενός τέτοιου σήματος ισούται με τον εαυτό του, οπότε ουσιαστικά δεν χρειάζεται να γίνει κάποιος υπολογισμός.

Το τελευταίο βήμα του αλγορίθμου είναι ο συνδυασμός των n σημάτων 1 σημείου στην αντίθετη σειρά από την σειρά αποσύνθεσης τους. Αυτό γίνεται επίσης σε $\log_2 N$ στάδια. Στο παράδειγμα που μελετάμε, τα 16 φάσματα συχνοτήτων 1 σημείου συνθέτουν 8 φάσματα συχνοτήτων 2 σημείων. Η διαδικασία συνεχίζεται μέχρι να λάβουμε 1 φάσμα συχνοτήτων 16 σημείων, το οποίο θα είναι και το αποτέλεσμα του αλγορίθμου. Στο Σχήμα 1.4 παρατίθεται ως παράδειγμα ο τρόπος σύνθεσης 1 φάσματος συχνοτήτων 8 σημείων από 2 φάσματα 4 σημείων.

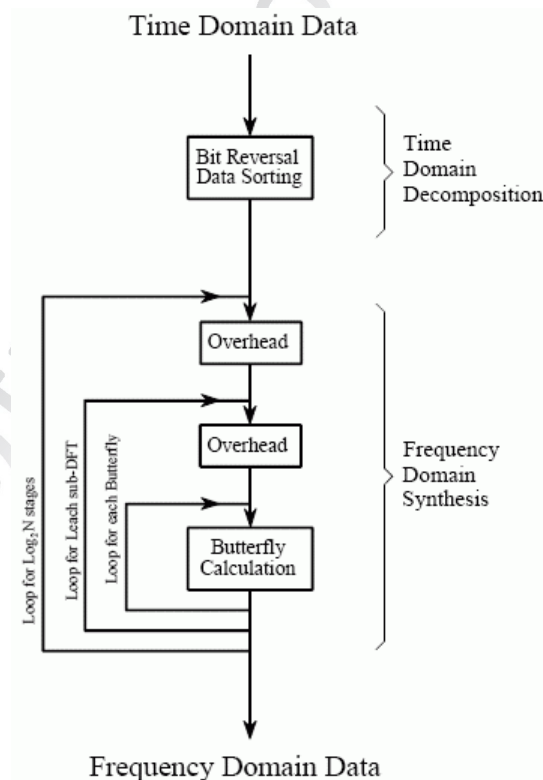


Σχήμα 1.4 Σύνθεση 1 φάσματος συχνοτήτων 8 σημείων από 2 φάσματα 4 σημείων

Στο σχήμα αυτό φαίνεται το βασικό στοιχείο του αλγόριθμου, η ονομαζόμενη –λόγω της μορφής της– πεταλούδα (FFT butterfly). Το S υποδηλώνει ένα ημιτονοειδές σήμα, του οποίου ο τρόπος υπολογισμού είναι εκτός σκοπιάς της παρούσας εργασίας.



Τα παραπάνω βήματα του FFT μπορούν να παρασταθούν με το ακόλουθο διάγραμμα ροής (Σχήμα 1.6). Σε αυτό διακρίνονται οι 3 βρόχοι που χρειάζονται για την σύνθεση της εξόδου. Ο εξωτερικός βρόχος εκτελείται $\log_2 N$ φορές. Ο μεσαίος εκτελείται για κάθε ένα από τα φάσματα συχνοτήτων του εκάστοτε σταδίου. Ο εσωτερικός είναι ο βρόχος στον οποίο χρησιμοποιείται η πεταλούδα για τον υπολογισμό των σημείων σε κάθε φάσμα συχνοτήτων. Τα κουτιά Overhead παριστούν λοιπές βοηθητικές εργασίες όπως ο υπολογισμός των δεικτών και ο υπολογισμός των σημάτων S που χρησιμοποιούνται στις πεταλούδες.



Τα ανωτέρω αποτελούν την σειριακή έκδοση του αλγορίθμου. Υπάρχουν εκδόσεις μη σειριακές με στόχο την παραλληλοποίηση των διεργασιών και την χρήση του σε παράλληλες αρχιτεκτονικές. Ακόμα όμως και η σειριακή έκδοση του FFT παρουσιάζει σημαντικά μικρότερη πολυπλοκότητα έναντι του παραδοσιακού DFT. Συγκεκριμένα, η πολυπλοκότητα πέφτει από N^2 σε $N \log_2 N$, κάτι που

έχει ως αποτέλεσμα ο FFT να είναι πολλές φορές ταχύτερος του DFT. Συγκεκριμένα, ο χρόνος εκτέλεσης DFT N σημείων ισούται με:

$$\text{ExecutionTime} = k_{DFT}N^2 \quad \text{Σχέση 1.12}$$

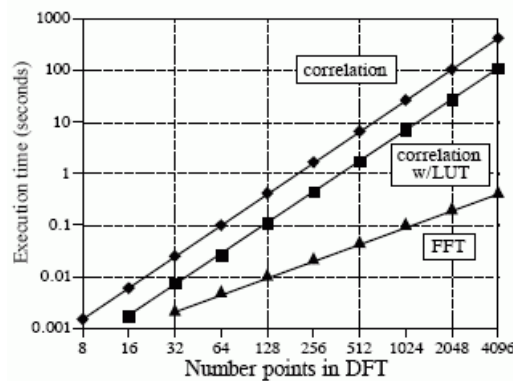
όπου k_{DFT} μία σταθερά αναλογικότητας. Αν οι τιμές των ημιτονοειδών σημάτων υπολογίζονται κατά την εκτέλεση του αλγορίθμου έχει τιμή 25 μs σε επεξεργαστή 100 Mhz. Στην περίπτωση που τα ημιτονοειδή σήματα είναι προϋπολογισμένα και αποθηκευμένα σε κάποιο lookup table η σταθερά έχει την τιμή 7 μs [15].

Ο χρόνος εκτέλεσης FFT N σημείων είναι:

$$\text{ExecutionTime} = k_{FFT}N \log_2 N \quad \text{Σχέση 1.13}$$

όπου k_{FFT} μία σταθερά αναλογικότητας. Σε επεξεργαστή 100 Mhz έχει τιμή 10 μs [15].

Το Σχήμα 1.7 δείχνει τους χρόνους εκτέλεσης DFT, DFT με προϋπολογισμένα τα ημιτονοειδή σήματα και FFT N σημείων, για $N = 8 \dots 4096$. Παρατηρούμε ότι για $N = 1024$ (το οποίο και μας ενδιαφέρει στην παρούσα εργασία καθώς έχει υλοποιηθεί FFT 1024 σημείων) ο χρόνος εκτέλεσης του FFT είναι 100 φορές μικρότερος της καλύτερης περίπτωσης DFT (σε περίπτωση χρήσης LUTs) και 300 φορές μικρότερος του κανονικού DFT.



Σχήμα 1.7 Χρόνοι εκτέλεσης DFT και FFT

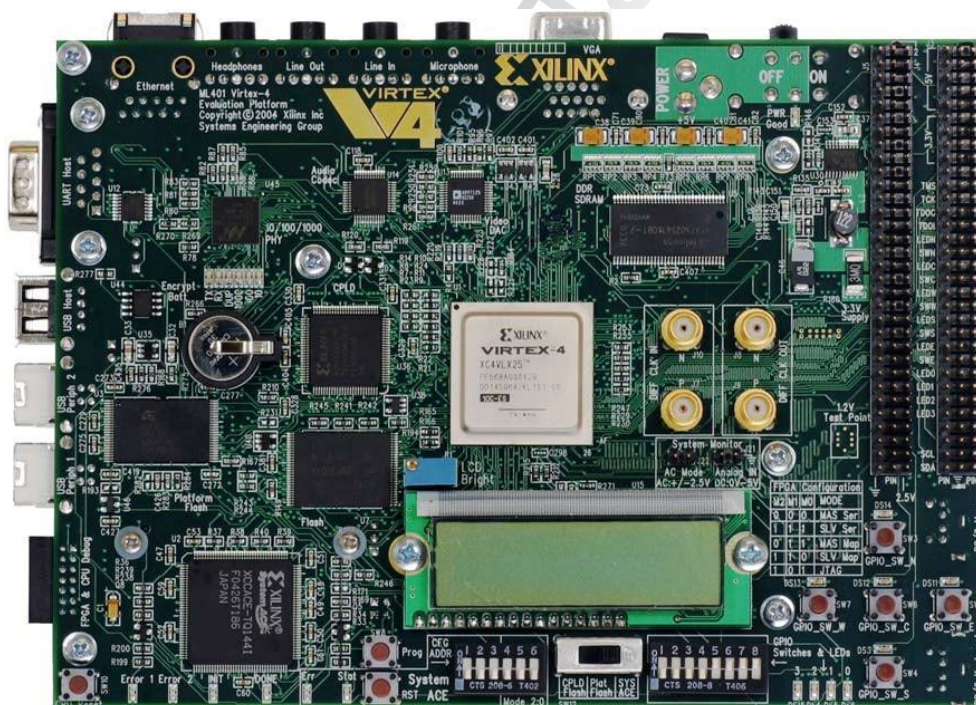
Ο FFT, εκτός της σημαντικά καλύτερης απόδοσης, επιτυγχάνει και μεγαλύτερη ακρίβεια. Αυτό συμβαίνει λόγω του μικρότερου αριθμού υπολογισμών που απαιτούνται, κάτι που σημαίνει και λιγότερες στρογγυλοποιήσεις. Το γεγονός αυτό μπορεί να επαληθευτεί υπολογίζοντας τον αντίστροφο FFT (inverse FFT) ενός φάσματος συχνότητας υπολογισμένο με FFT. Το σήμα στο πεδίο του χρόνου που θα λάβουμε από την αντίστροφη διαδικασία θα είναι πολύ κοντά στο αρχικό.

2

Πλατφόρμα και εργαλεία ανάπτυξης ενσωματωμένου συστήματος

2.1 Πλατφόρμα ανάπτυξης - Xilinx ML403

Η υλοποίηση της εφαρμογής έγινε στο αναπτυξιακό σύστημα ML403 (Σχήμα 2.1). Αυτό περιλαμβάνει ένα πλήθος περιφερειακών συσκευών και επιτρέπει την ανάπτυξη πολλών διαφορετικών εφαρμογών βασισμένων στο FPGA ή/και στον επεξεργαστή PowerPC 405 παρέχονται.

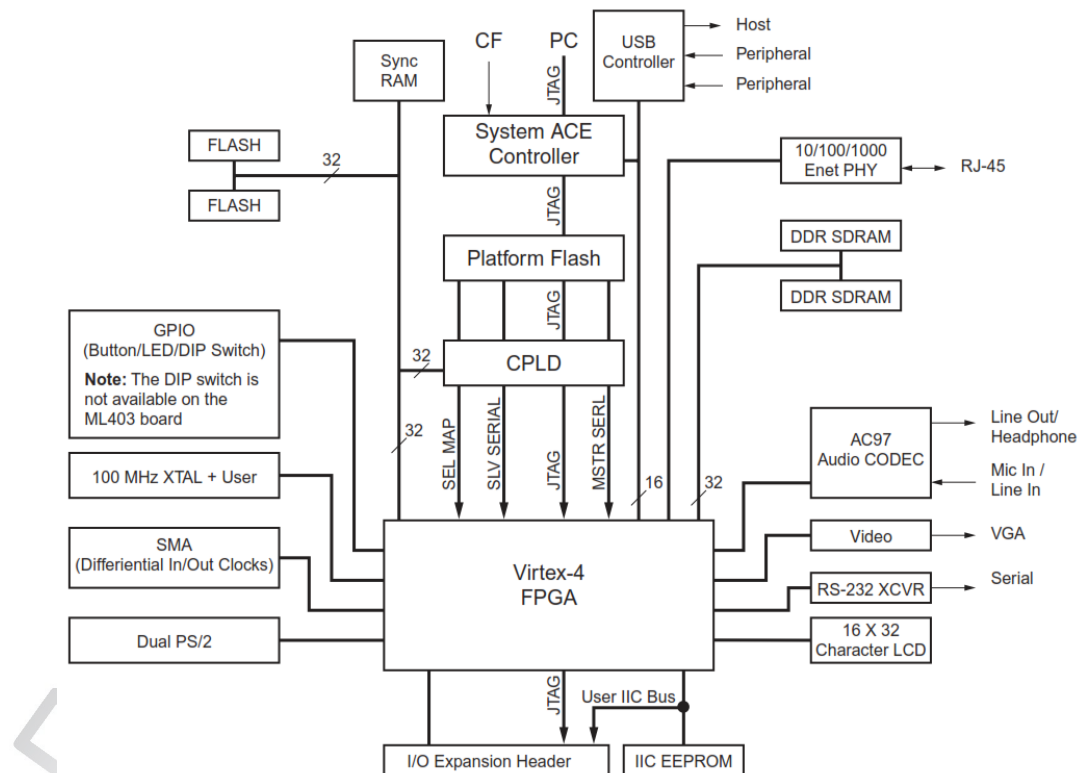


Σχήμα 2.1 Η αναπτυξιακή πλακέτα Xilinx ML403

Το δομικό διάγραμμα της ML403 φαίνεται στο Σχήμα 2.2 ενώ τα βασικά χαρακτηριστικά της είναι τα ακόλουθα:

- XC4VFX12-FF668-10 Virtex-4 FPGA.
- 64-MB DDR SDRAM, 32-bit interface για ρυθμό δεδομένων μέχρι 266MHz.
- Ένα ζευγάρι εισόδου διαφορικού ρολογιού και ένα ζευγάρι εξόδου διαφορικού ρολογιού με SMA συνδετήρες.
- Έναν clock oscillator 100MHz.
- LEDs και πλήκτρα επιλογής (push buttons).

- Κεφαλές επέκτασης (expansion headers) με 32 single-ended I/O, 16 διαφορεικά κανάλια συμβατά με LVDS, 14 διαθέσιμα I/Os που μοιράζονται με πλήκτρα και LEDs, τροφοδοσία, δυνατότητα επέκτασης της JTAG αλυσίδας και επέκταση του IIC δίαυλου.
- Stereo AC97 audio codec με υποδοχές line-in, line-out, ακουστικά 50mW και είσοδο μικροφώνου.
- Σειριακή θύρα RS-232.
- LCD οθόνη 2x16 χαρακτήρων.
- Μια 4-Kb IIC EEPROM.
- Έξοδο VGA με 140 MHz / 15-bit video DAC.
- PS/2 θύρες για ποντίκι και πληκτρολόγιο.
- Ελεγκτή διαμόρφωσης System ACE CompactFlash με Type I/II CompactFlash θύρα.
- ZBT σύγχρονη SRAM 8 Mb σε 32-bit δίαυλο δεδομένων χωρίς bit ισοτιμίας.
- Intel StrataFlash (ή συμβατά) linear flash chips (8MB).
- 10/100/1000Mbps Ethernet PHY.
- USB interface chip (Cypress CY7C67300) με θύρες host και device.
- Xilinx XC95144XL CPLD για να επιτρέπει linear flash chips να χρησιμοποιούνται για τη διαμόρφωση του FPGA.
- Xilinx XCF32P Platform Flash για αποθήκευση αρχείου διαμόρφωσης.
- JTAG είσοδο.
- Τροφοδοτικά επί της πλακέτας για όλες τις απαραίτητες τάσεις.



Σχήμα 2.3 Δομικό διάγραμμα αναπτυξιακής πλακέτας Xilinx ML403

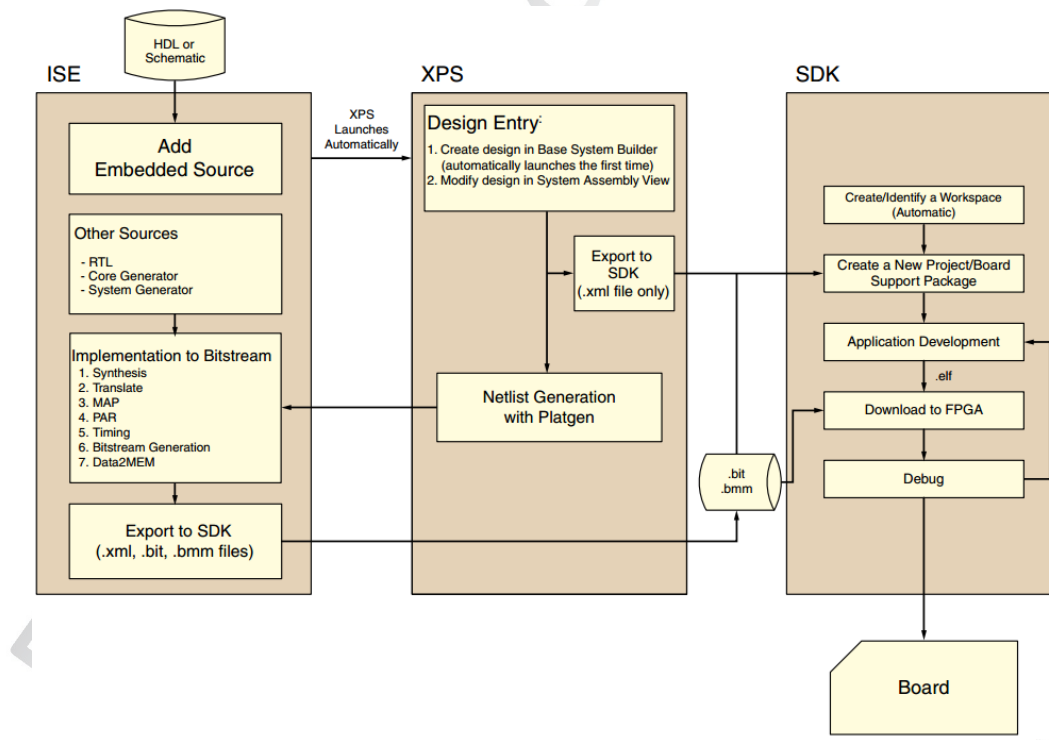
2.2 Περιβάλλον ανάπτυξης

Το περιβάλλον ανάπτυξης που επιλέχθηκε ονομάζεται Integrated Software Environment Design Suite – ISE Design Suite και χρησιμοποιήθηκαν τα εξής εργαλεία:

- ISE Project Navigator στο οποίο έγινε η ανάπτυξη IP cores.
- ISE Simulator. Χρησιμοποιήθηκε για την προσομοίωση σχεδιάσεων υλοποιημένων μέσα από τον Project Navigator
- Xilinx Platform Studio – XPS στο οποίο έγινε η σχεδίαση σε επίπεδο συστήματος.
- CORE Generator μέσω του οποίου είναι εφικτή η δημιουργία και παραμετροποίηση έτοιμων IP cores.
- Embedded IP Peripherals. Πρόκειται για μία συλλογή περιφερειακών και ελεγκτών έτοιμων για χρήση μέσω του XPS.
- Chipscope Pro. Πρόκειται ουσιαστικά για έναν λογικό αναλυτή μέσω του οποίου είναι εύκολη η παρατήρηση σημάτων με σκοπό την αποσφαλμάτωση σχεδιάσεων υλοποιημένων τόσο με τον Project Navigator όσο και με το XPS.
- Software Development Kit – SDK στο οποίο έγινε η ανάπτυξη και αποσφαλμάτωση του λογισμικού.

Σημειώνεται πως τα ανωτέρω εργαλεία αποτελούν τα κυριότερα και όχι το σύνολο των εργαλείων που απαρτίζουν το περιβάλλον σχεδίασης ISE.

Τα εργαλεία αυτά είναι σχεδιασμένα από την Xilinx με τέτοιο τρόπο ώστε να είναι συμπληρωματικά το ένα ως προς το άλλο. Στο Σχήμα 2.4 φαίνεται η τυπική ροή σχεδίασης ενός ενσωματωμένου συστήματος με χρήση των εργαλείων του ISE.

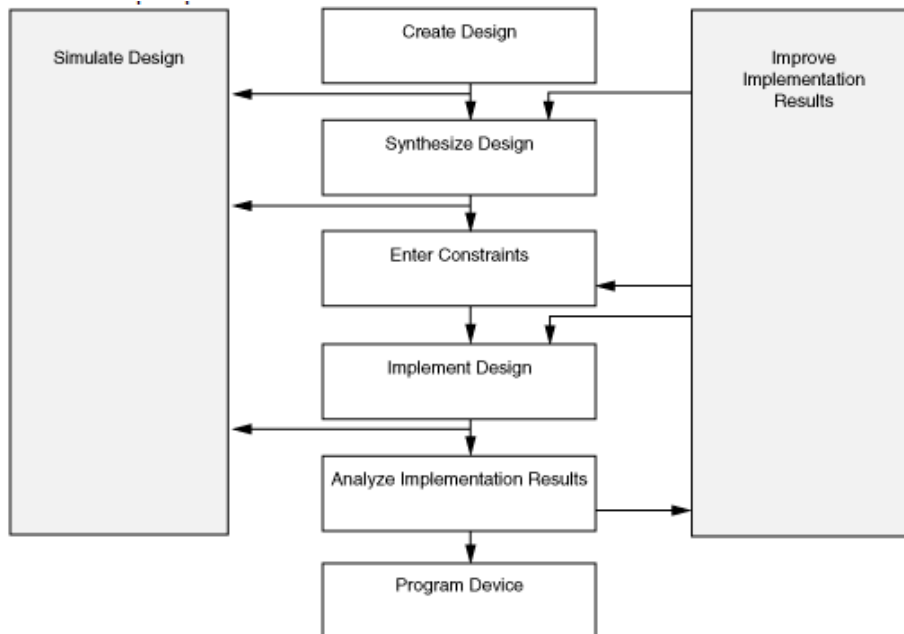


Σχήμα 2.4 Ροή σχεδίασης ενσωματωμένου συστήματος με το ISE Design Suite

Στις επόμενες ενότητες ακολουθεί σύντομη περιγραφή των εργαλείων που χρησιμοποιήθηκαν κατά την ανάπτυξη της εφαρμογής.

2.2.1 ISE Project Navigator

Ο Project Navigator χρησιμοποιείται για την ανάπτυξη IP cores. Η ροή σχεδίασης φαίνεται στο Σχήμα 2.5.

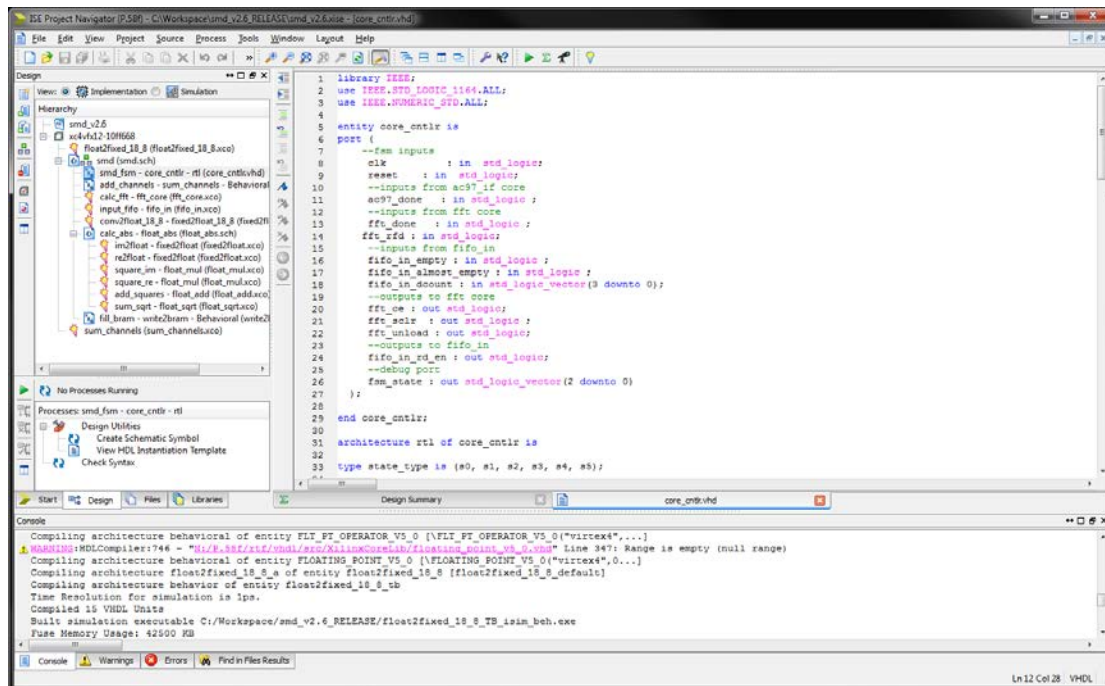


Σχήμα 2.5 Ροή σχεδίασης στο ISE Project Navigator

Διακρίνονται τα εξής στάδια:

- Δημιουργία σχεδίασης: Στο στάδιο αυτό δημιουργείται ένα ISE project και κατόπιν δημιουργούνται ή προστίθενται τα πηγαία αρχεία. Αυτά μπορούν να είναι HDL κώδικας (σε VHDL ή Verilog), σχηματικά, IP cores που έχουν δημιουργηθεί μέσω του CORE Generator, κάποια από τα έτοιμα προς χρήση cores ή ακόμα και ενσωματωμένοι επεξεργαστές (π.χ. Microblaze).
- Σύνθεση: Κατά την σύνθεση γίνεται μεταγλώττιση (compilation) των πηγαίων αρχείων και κατόπιν παράγεται netlist. Κατά την παραγωγή του netlist λαμβάνεται υπόψη και η αρχιτεκτονική του FPGA που έχει οριστεί ως στόχος κατά την δημιουργία του project. Η σύνθεση γίνεται είτε με χρήση του Xilinx Synthesis Technology – XST που παρέχεται, είτε με χρήση άλλου third-party εργαλείου σύνθεσης.
- Εισαγωγή περιορισμών (constraints): Στο στάδιο αυτό ορίζονται χρονικοί και χωρικοί περιορισμοί. Επίσης, γίνεται χαρτογράφηση των pins του FPGA σε σχέση με τα σήματα εισόδου και εξόδου της σχεδίασης.
- Υλοποίηση: Στο στάδιο αυτό μετατρέπεται η σχεδίαση σε ακολουθία bits έτοιμη προς προγραμματισμό του FPGA. Πριν συμβεί όμως αυτό, γίνεται υπολογισμός της θέσης κάθε στοιχείου της σχεδίασης μέσα στο FPGA (placement) και δρομολόγηση όλων των σημάτων (routing). Οι δύο αυτές διεργασίες εκτελούνται λαμβάνοντας υπόψη τους περιορισμούς που έχουν εισαχθεί σε προηγούμενο στάδιο.
- Ανάλυση των αποτελεσμάτων της υλοποίησης, στάδιο κατά το οποίο αξιολογείται η απόδοση του συστήματος σε σχέση με τους περιορισμούς, επισκόπηση της χρήσης των διαθέσιμων πόρων, ανάλυση της χρονικής συμπεριφοράς της σχεδίασης κα.
- Προσομοίωση της σχεδίασης για επαλήθευση της λειτουργικότητας. Γίνεται με χρήση του ISE Simulator, ο οποίος και παρέχεται ή με χρήση άλλου third-party προσομοιωτή όπως π.χ. το Modelsim.
- Προγραμματισμός της συσκευής, εφόσον χρειάζεται.

Στο Σχήμα 2.6 φαίνεται το περιβάλλον εργασίας του ISE Project Navigator.



Σχήμα 2.6 Περιβάλλον εργασίας ISE Project Navigator

2.2.2 ISE Simulator - ISim

Ο ISE Simulator (ISim) είναι σε θέση να εκτελέσει προσομοιώσεις λειτουργικότητας και χρονικής συμπεριφοράς VHDL, Verilog και μικτών VHDL/Verilog σχεδιάσεων. Ο προσομοιωτής μεταφράζει τον κώδικα σε σε κύκλωμα και εμφανίζει τα λογικά αποτελέσματα της σχεδίασης. Έτσι, ο σχεδιαστής είναι σε θέση να επιβεβαιώσει την ορθή λειτουργία του συστήματός που έχει δημιουργήσει, σε σχετικά μικρό χρόνο. Δίνεται επίσης η δυνατότητα στον προγραμματιστή να κάνει αποσφαλμάτωση της σχεδίασης εισάγοντας breakpoints σε επιθυμητά σημεία του κώδικα, ή εκτελώντας τον κώδικα γραμμή-γραμμή.

Επιπλέον, το ISim είναι σε θέση να παράγει αρχεία στα οποία καταγράφονται όλες οι μεταβάσεις της σχεδίασης. Τα αρχεία αυτά ονομάζονται activity files και είναι ιδιαίτερα χρήσιμα στον υπολογισμό της απαιτούμενης κατανάλωσης ενέργειας και την βελτιστοποίηση αυτής.

Οι εκτελούμενες προσομοιώσεις μπορούν να επιταχυνθούν με παράλληλη εκτέλεση της σχεδίασης ή μέρους αυτής στο υλικό. Επίσης, μπορούν να εκτελεστούν σε όλα τα στάδια της σχεδίασης. Αν λοιπόν χρειάζεται επαλήθευση της λειτουργικότητας και μόνο της σχεδίασης, αυτή μπορεί να γίνει πριν το place and route. Στην περίπτωση που χρειάζεται να γίνει ανάλυση της χρονικής συμπεριφοράς όμως, η προσομοίωση πρέπει να γίνει μετά το place and route.

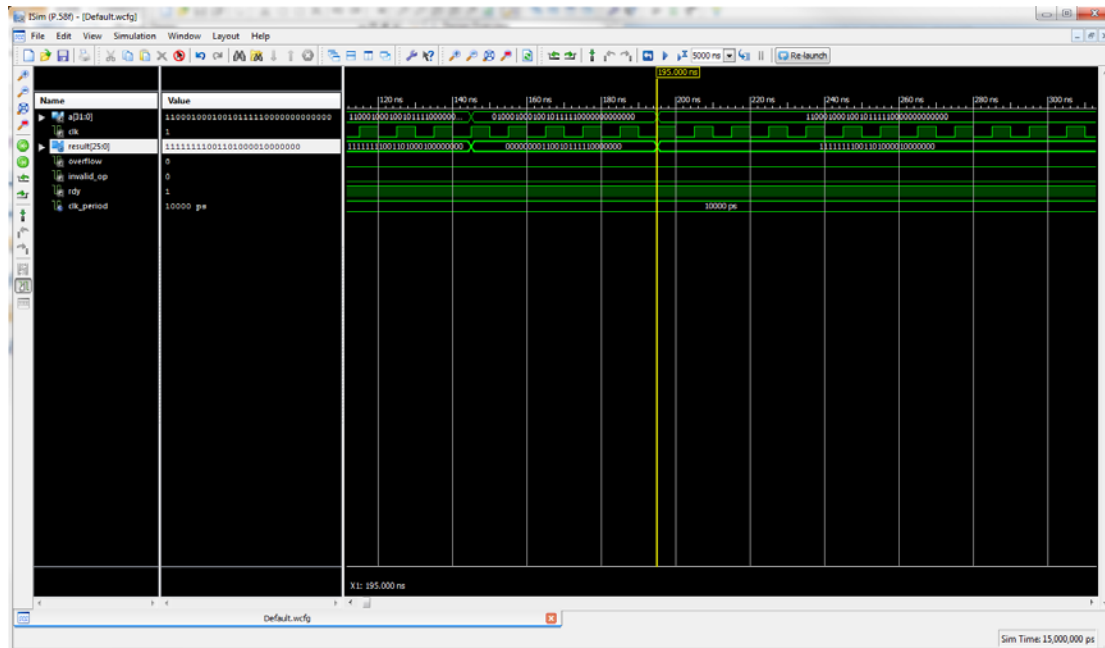
Όπως και σε άλλους HDL προσομοιωτές, είναι απαραίτητο να δημιουργηθούν πηγαία αρχεία τα οποία θα τροφοδοτούν την προς επαλήθευση σχεδίαση με διανύσματα δοκιμών για όλα τα σήματα που μας ενδιαφέρουν. Τα αρχεία αυτά ονομάζονται test benches.

Γενικότερα διακρίνονται τα εξής στάδια κατά την προσομοίωση:

- Μεταγλώττιση (compilation): Κατά την μεταγλώττιση ελέγχονται όλα τα πηγαία για συντακτική ορθότητα και μετατρέπονται σε μία ενδιάμεση μορφή την οποία μπορεί να καταλάβει ο προσομοιωτής.
- Επεξεργασία (elaboration): Στο στάδιο αυτό ο προσομοιωτής ενώνει τα μεταγλωτισμένα αρχεία και δημιουργεί τις κατάλληλες αναφορές προς τις βιβλιοθήκες που έχουν

χρησιμοποιηθεί στην σχεδίαση. Κατόπιν παράγεται ένα εκτελέσιμο από τον προσομοιωτή αρχείο.

- Εκτέλεση προσομοίωσης: Γίνεται εκτέλεση του αρχείου παράχθηκε στο προηγούμενο στάδιο ώστε να πραγματοποιηθεί προσομοίωση του ενσωματωμένου συστήματος. Οι τιμές των σημάτων εμφανίζονται με την μορφή κυματομορφής. Στο Σχήμα 2.7 φαίνεται το γραφικό περιβάλλον του ISim και διακρίνονται οι κυματομορφές των σημάτων της προς επαλήθευση σχεδίασης.



Σχήμα 2.7 Περιβάλλον εργασίας ISE Simulator

2.2.3 Xilinx Platform Studio

Το Xilinx Platform Studio – XPS χρησιμοποιείται για την σχεδίαση σε επίπεδο συστήματος. Παρέχει ένα γραφικό περιβάλλον μέσα από το οποίο είναι εύκολη η σχεδίαση ενός ενσωματωμένου συστήματος βασισμένου σε επεξεργαστή Microblaze ή PowerPC ο οποίος επικοινωνεί με τα περιφερειακά μέσω των διαύλων PLB ή AXI. Στο XPS δεν γίνεται η ανάπτυξη κάθε επιμέρους στοιχείου (hardware ή software). Αντίθετα, παρέχεται αφενός η γρήγορη πρόσβαση στα κατάλληλα εργαλεία (π.χ. προσομοιωτή, Software Development Kit κλπ), αφετέρου η δυνατότητα παραμετροποίησης των επί μέρους περιφερειακών της σχεδίασης και δημιουργίας από γραφικό περιβάλλον όλων των συνδέσεων σε επίπεδο συστήματος.

Οι κυριότερες δυνατότητες που προσφέρονται είναι οι εξής:

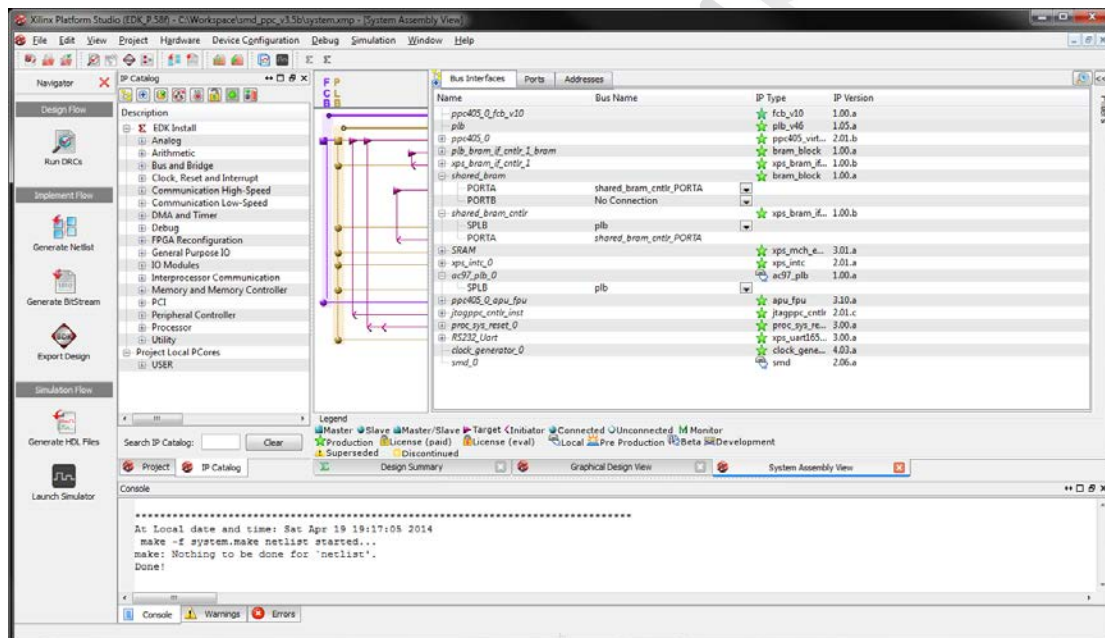
- Γρήγορη δημιουργία ενσωματωμένου συστήματος με την χρήση του Base System Builder Wizard. Ο BSB Wizard μπορεί να δημιουργήσει συστήματα μονού ή διπλού επεξεργαστή. Ανάλογα με την πλακέτα η οποία δηλώνεται ως στόχος, ο οδηγός επιτρέπει την εισαγωγή και παραμετροποίηση βασικών στοιχείων όπως ο επεξεργαστής, ο τύπος και το μέγεθος της μνήμης, υποστηριζόμενα περιφερειακά, διαπαφές αποσφαλμάτωσης κ.α. Υπάρχει επίσης η δυνατότητα ορισμού custom πλακέτας ως στόχος, με την προϋπόθεση πως θα παρέχεται ένα UCF αρχείο. Στο αρχείο αυτό υπάρχουν όλες οι αντιστοιχίσεις των pins του FPGA σε σχέση με τα σήματα της σχεδίασης. Σε περίπτωση που η πλακέτα-στόχος υποστηρίζεται από το εργαλείο, το UCF παράγεται αυτόματα και χρειάζονται μόνο ελάχιστες παρεμβάσεις σε αυτό από την μεριά του προγραμματιστή, κυρίως για να υποδείξει αντιστοιχίσεις pins με δικά του custom IP cores.

Ο BSB wizard παράγει ένα αρχείο MHS (Microprocessor Hardware Specification) στο οποίο ουσιαστικά περιγράφονται τα περιφερειακά που απαρτίζουν το σύστημα, ο επεξεργαστής, οι

δίαιλοι που χρησιμοποιούνται, το εύρος διευθύνσεων καθώς και το τι συνδέσεις υπάρχουν μεταξύ αυτών.

- Δημιουργία custom περιφερειακών με χρήση του Create and Import Wizard. Ο οδηγός αυτός δημιουργεί γρήγορα πρότυπα HDL αρχεία για το περιφερειακό και παρέχει την διεπαφή με τους υποστηριζόμενους διαύλους. Παράγει επίσης αυτόματα αρχεία τα οποία θα χρειαστούν κατά την σύνθεση, όπως το MPD (Microprocessor Peripheral Definition) στο οποίο ορίζονται οι διεπαφές του περιφερειακού (τα σήματα εισόδου/εξόδου δηλαδή) και το PAO (Peripheral Analyze Order) στο οποίο περιέχεται λίστα με τα απαραίτητα HDL αρχεία.
- Δημιουργία μοντέλου προσομοίωσης του συστήματος με χρήση του Simulation Model Generation Tool.
- Εισαγωγή στο σύστημα διεπαφών αποσφαλμάτωσης.
- Εξαγωγή των αρχείων περιγραφής του υλικού και εισαγωγή τους στο Software Development Kit.
- Δημιουργία δομικού διαγράμματος του συστήματος (block diagram) και αναφορών σχετικών με την χρήση των διαθέσιμων πόρων, την χρονική συμπεριφορά του συστήματος κα.

Στο Σχήμα 2.8 φαίνεται το περιβάλλον εργασίας του Xilinx Platform Studio.



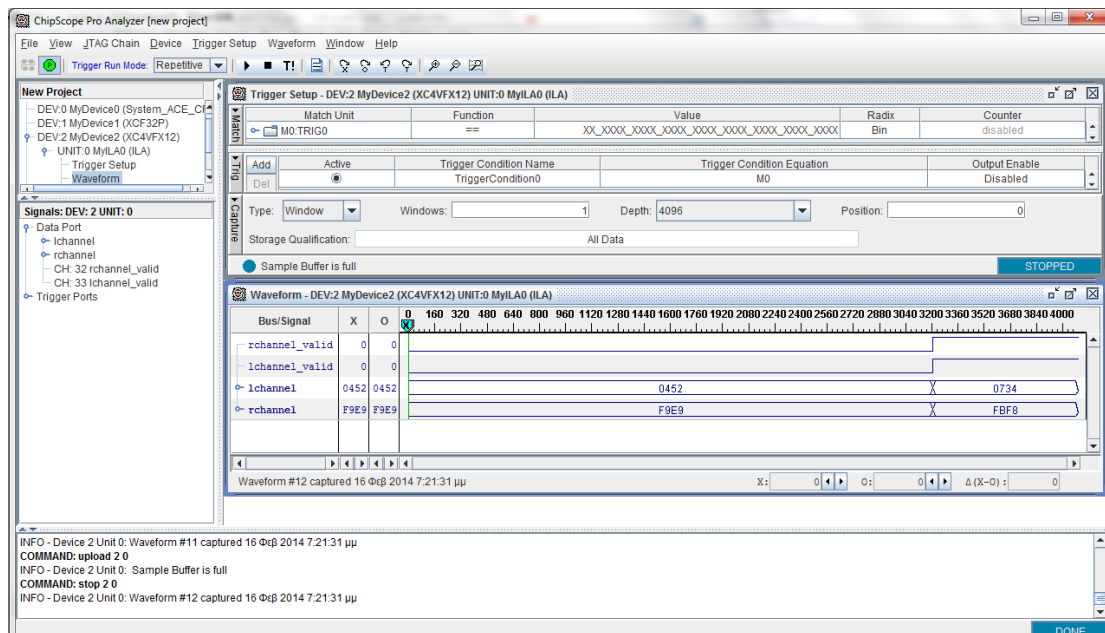
Σχήμα 2.8 Περιβάλλον εργασίας Xilinx Platform Studio

2.2.4 ChipScope Pro

Το εργαλείο ChipScope Pro χρησιμοποιείται για την εισαγωγή στο ενσωματωμένο σύστημα IP cores που παρέχουν την δυνατότητα παρατήρησης των εσωτερικών σημάτων του FPGA. Τα σήματα δειγματοληπτούνται στην συχνότητα λειτουργίας που ορίζει ο προγραμματιστής και εξέρχονται της σχεδίασης μέσω της διεπαφής προγραμματισμού. Έτσι δεν δεσμεύονται επιπλέον pins για την λειτουργία αυτή.

Η παρατήρηση των σημάτων γίνεται μέσω του ChipScope Pro Analyzer. Από εκεί μπορούν να παραμετροποιηθούν και οι συνθήκες οι οποίες θα ξεκινούν την δειγματοληψία (trigger setup) ώστε να διευκολυνθεί η αποσφαλμάτωση.

Τα IP cores που χρειάζονται για την αποσφαλμάτωση μπορούν να εισαχθούν στην σχεδίαση τόσο από το ISE Project Navigator όσο και από το Xilinx Platform Studio. Απαραίτητη προϋπόθεση να υπάρχουν επαρκείς διαθέσιμοι πόροι στο FPGA. Στο Σχήμα 2.9 φαίνεται το περιβάλλον εργασίας του Chipscope Pro Analyzer.



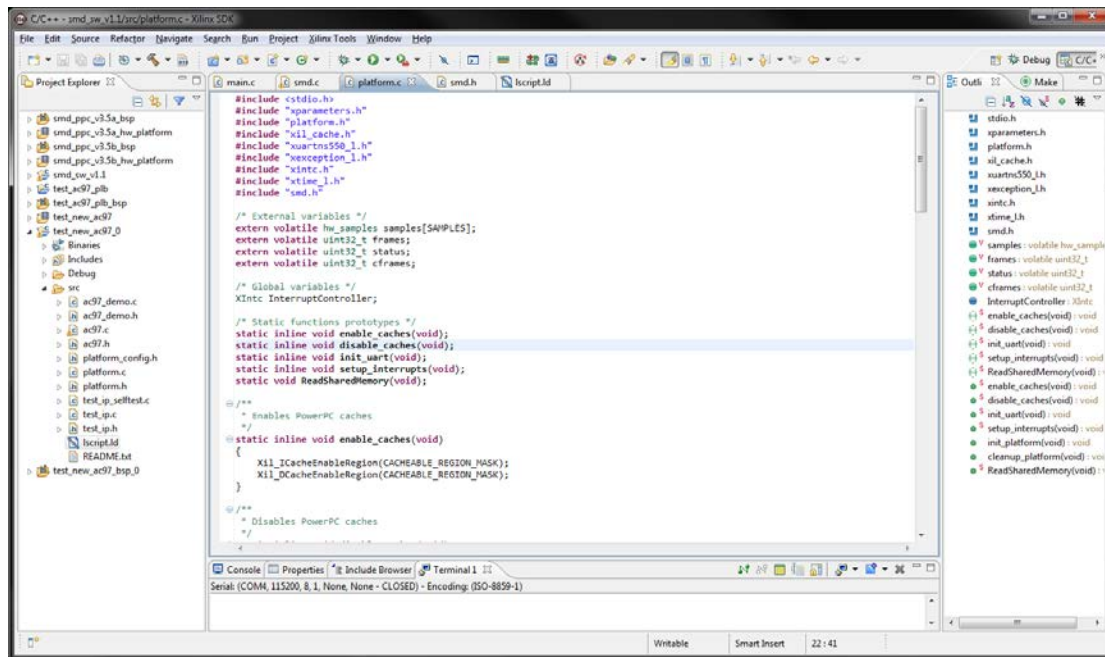
Σχήμα 2.9 Περιβάλλον εργασίας Chipscope Pro Analyzer

2.2.5 Xilinx Software Development Kit

Το Xilinx Software Development Kit παρέχει ένα περιβάλλον μέσα από το οποίο μπορεί να γίνει ανάπτυξη και αποσφαλμάτωση λογισμικού που απευθύνεται σε πλατφόρμες της Xilinx. Βασίζεται στην δημοφιλή πλατφόρμα Eclipse. Το Eclipse δεν παρέχει τα ίδια τα εργαλεία που χρειάζονται για την μεταγλώττιση, αποσφαλμάτωση και προγραμματισμό της συσκευής (δεν παρέχει το toolchain δηλαδή) αλλά ένα εύχρηστο γραφικό περιβάλλον στο οποίο μπορούν να ενσωματωθούν. Έτσι λοιπόν στο Xilinx SDK έχουν ενσωματωθεί τα εξής κυριότερα εργαλεία:

- **Library Generator:** Χρησιμοποιείται για την δημιουργία του πακέτου υποστήριξης συσκευής (Board Support Package - BSB) στο οποίο ορίζονται για κάθε πλατφόρμα υλικού που έχει εισαχθεί από το XPS οι οδηγοί (drivers) των περιφερειακών, οι ρουτίνες εξυπηρέτησης διακοπών (Interrupt Service Routines - ISRs), συσκευές εισόδου/εξόδου κ.α.
- **GNU Compiler Tools:** Για την μεταγλώττιση (compilation) και σύνδεση (linking) χρησιμοποιείται ο γνωστός GCC compiler ενώ για την αποσφαλμάτωση ο GDB debugger.
- **Xilinx Microprocessor Debugger:** Χρησιμοποιείται για την αποσφαλμάτωση εφαρμογών που τρέχουν σε πλατφόρμες της Xilinx. Η επικοινωνία με το υλικό γίνεται μέσω JTAG.
- **Bitstream Initializer:** Ενσωματώνει στο binary αρχείο που έχει παραχθεί από την υλοποίηση του υλικού (system.bit) το λογισμικό και παράγει έτσι το binary που θα χρησιμοποιηθεί τελικά για τον προγραμματισμό του υλικού (download.bit).
- **FPGA Programmer:** Χρησιμοποιείται για τον προγραμματισμό του FPGA με το τελικό binary αρχείο.
- **Flash Programmer:** Χρησιμοποιείται για την εγγραφή του binary εκτελέσιμου της εφαρμογής σε εξωτερικές μνήμες τεχνολογίας NOR Flash.
- **Linker script generator:** Παράγει το αρχείο linker script. Σε αυτό χαρτογραφείται όλη η μνήμη και η χρήση που θα γίνει σε αυτήν, δηλαδή ορίζεται η μνήμη στην οποία θα αποθηκευτεί ο κώδικας, ορίζεται το μέγεθος και η θέση της στοίβας (stack), του σωρού (heap), των δεδομένων, των αρχικοποιημένων δεδομένων κλπ.

Στο Σχήμα 2.10 φαίνεται το περιβάλλον εργασίας του Xilinx SDK.



Σχήμα 2.10 Περιβάλλον εργασίας Xilinx Software Development Kit

3

Virtex 4 FPGA

3.1 Εισαγωγή

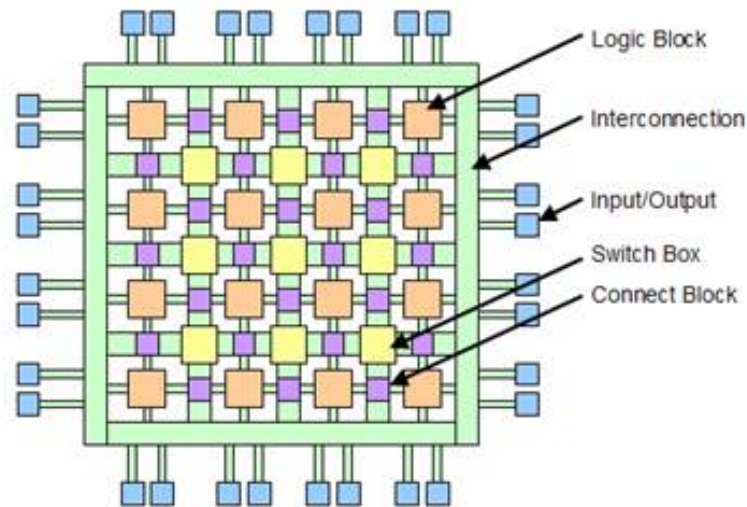
Βασικό στοιχείο της αναπτυξιακής πλακέτας ML403 είναι το FPGA XC4VFX12-FF668-10 της οικογένειας Virtex-4. Με τον όρο FPGA (Field Programmable Gate Arrays - Επιτόπου Προγραμματιζόμενοι Πίνακες Πυλών) εννοούνται ψηφιακά ολοκληρωμένα κυκλώματα που περιέχουν προγραμματιζόμενα κελιά στα οποία μπορούν να υλοποιηθούν λογικές συναρτήσεις και συναρτήσεις αποθήκευσης. Τα κελιά αυτά συνδέονται μεταξύ τους με ένα επίσης προγραμματιζόμενο δίκτυο διασύνδεσης. Οι δομές αυτές χαρακτηρίστηκαν ως «επιτόπου προγραμματιζόμενες» υπό την έννοια ότι μπορούν να προγραμματιστούν «επιτόπου» στο πεδίο μακριά από το εργαστήριο στο οποίο κατασκευάστηκαν. Ανάλογα με τον τρόπο υλοποίησης κάποια FPGAs μπορούν να προγραμματιστούν μόνο μία φορά, ενώ άλλα μπορούν να επαναπρογραμματίζονται. Τα FPGA προσφέρουν μεγάλη ευελιξία και μπορούν πλέον να χρησιμοποιηθούν σε ιδιαίτερα σύνθετες εφαρμογές, σε αντίθεση με παλαιότερα που η μόνη χρήση τους ήταν η διασύνδεση ετερογενών συσκευών (“glue logic”). Έτσι, τυπικές εφαρμογές είναι:

- Ψηφιακή επεξεργασία σήματος (Digital Signal Processing - DSP). Παραδοσιακά οι εφαρμογές αυτές υλοποιούνταν από ειδικά σχεδιασμένους μικροεπεξεργαστές. Ο μεγάλος αριθμός πολλαπλασιαστών και μνήμης που μπορούν να περιέχουν τα σύγχρονα FPGAs σε συνδυασμό με την μαζική παραλληλοποίηση που μπορούν να πετύχουν, τα καθιστά συχνά πολύ αποδοτικότερα σε τέτοιου είδους εφαρμογές.
- Ενσωματωμένοι μικροελεγκτές. Πλέον ακόμα και τα μικρότερα FPGAs μπορούν να υλοποιήσουν την λειτουργικότητα ενός απλού μικροελεγκτή. Η ευελιξία που παρέχουν στην επιλογή και υλοποίηση των διάφορων περιφερειακών τα καθιστά μία φθηνή και αρκετά αποδοτική λύση για εφαρμογές ελέγχου βασιζόμενες σε μικροελεγκτή.
- Επικοινωνίες στο φυσικό επίπεδο. Όπως προαναφέρθηκε, μία από τις παλαιότερες χρήσεις FPGAs είναι η διασύνδεση ετερογενών συσκευών, και συγκεκριμένα η διασύνδεση μεταξύ των ολοκληρωμένων κυκλωμάτων του φυσικού (κατά OSI) επιπέδου με τα υψηλότερου επιπέδου επικοινωνιακά πρωτόκολλα.
- Προσαρμοσμένες (custom) εφαρμογές, ως μία φθηνότερη εναλλακτική των Application Specific Integrated Circuits (ASICs).

3.2 Αρχιτεκτονική FPGA

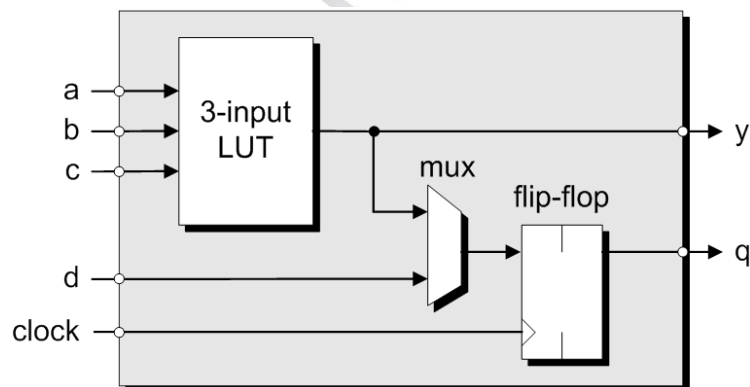
Τα FPGAs αποτελούνται από τμήματα Συνθετων Μονάδων Λογικής (Complex Logic Blocks - CLBs) τα οποία είναι οργανωμένα σε διάταξη μήτρας και τα οποία μπορούν να προγραμματιστούν για να υλοποιήσουν συνδυαστικές ή ακολουθιακές λογικές συναρτήσεις. Μεταξύ των CLBs υπάρχει ένα προγραμματιζόμενο δίκτυο διασύνδεσης. Στην αρχιτεκτονική διακρίνονται επίσης μπλοκ εισόδων/εξόδων (input/output – i/o), κυκλώματα παραγωγής και κατανομής ρολογιού και ενσωματωμένες μνήμες RAM. Στα σύγχρονα FPGA συναντώνται μέχρι και ολοκληρωμένα

υποσυστήματα όπως επεξεργαστές ή ελεγκτές περιφερειακών (π.χ. ελεγκτές δικτύου Ethernet). Στο Σχήμα 3.1 φαίνεται η τυπική εσωτερική οργάνωση ενός FPGA.



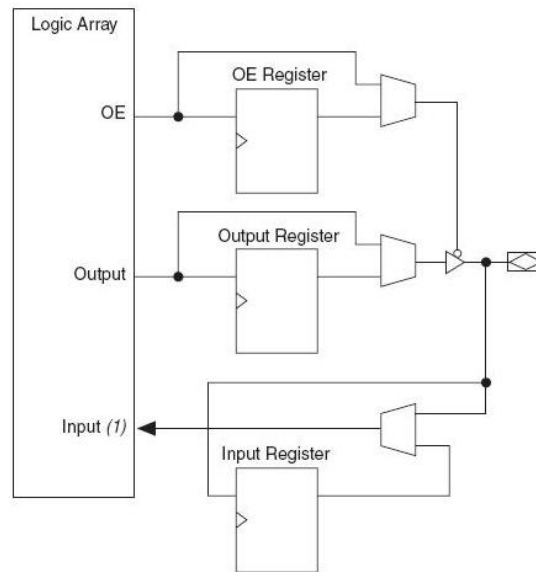
Σχήμα 3.1 Εσωτερική οργάνωση FPGA

Βασικό δομικό στοιχείο των CLBs είναι οι πίνακες αναζήτησης (lookup tables - LUT). Πρόκειται για μικρές ασύγχρονες RAM εύρους 1 bit. Τα περιεχόμενα ενός LUT καθορίζουν τις τιμές μιας λογικής συνάρτησης των εισόδων. Άλλα στοιχεία ενός CLB είναι flip flops, πολυπλέκτες για την επιλογή πηγής δεδομένων, λογικά κυκλώματα κρατουμένου και ελέγχου, πύλες κτλ. Η δομή ενός CLB διαφέρει από FPGA σε FPGA. Στο Σχήμα 3.2 φαίνεται ως παράδειγμα η δομή ενός πολύ απλού CLB.



Σχήμα 3.2 Δομή CLB

Στο Σχήμα 3.3 φαίνεται η τυπική οργάνωση ενός μπλοκ I/O. Ενδέχεται να παρουσιάζει αποκλίσεις μεταξύ των υλοποιήσεων των διάφορων κατασκευαστών. Διακρίνονται πολυπλέκτες μέσω των οποίων επιλέγεται αν οι εισοδοί/έξοδοι θα είναι μέσω καταχωρητή ή όχι. Ο καταχωρητής OE Register σε συνδυασμό με τον πολυπλέκτη ελέγχουν την κατάσταση υψηλής σύνθετης αντίστασης του οδηγού τριών καταστάσεων που οδηγεί τον ακροδέκτη ως έξοδο.



Σχήμα 3.3 Δομή μπλοκ εισόδου/εξόδου (μπλοκ I/O)

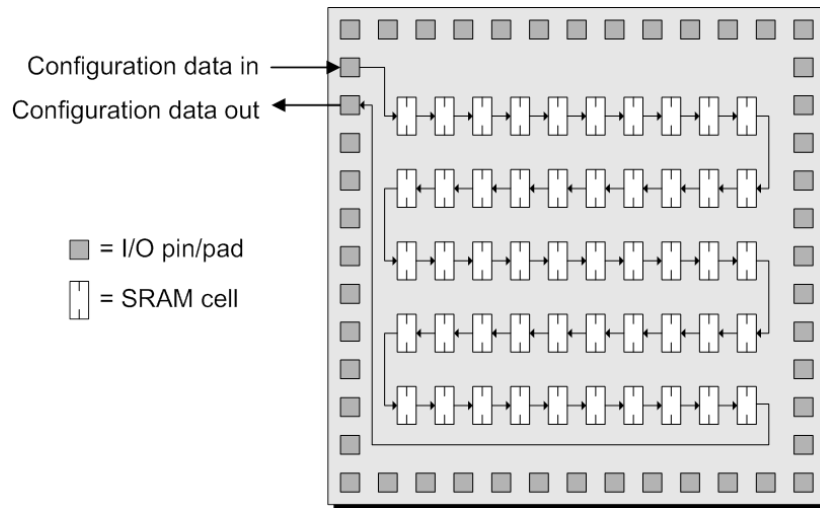
Τα μπλοκ μνήμης RAM που συνήθως υπάρχουν στα σύγχρονα FPGAs παρέχουν την δυνατότητα αποθήκευσης πληροφορίας εντός του FPGA και όχι σε εξωτερικές μνήμες. Αυτό έχει επίδραση τόσο στην απόδοση όσο και στο κόστος, καθώς μειώνεται η χρήση επιπλέον υλικών σε επίπεδο πλακέτας. Οι εσωτερικές αυτές μνήμες είναι ιδιαίτερα χρήσιμες και όταν το FPGA χρησιμοποιείται για την υλοποίηση ενός ενσωματωμένου μικροελεγκτή, καθώς χρησιμοποιούνται για να καλύψουν τις ανάγκες του σε μνήμη τόσο για τον κώδικα όσο για τα δεδομένα. Τυπικά η τεχνολογία των εσωτερικών μπλοκ μνήμης είναι η σύγχρονη στατική RAM (Synchronous Static RAM - SSRAM).

Η σύνδεση των επιμέρους στοιχείων ενός FPGA με το σύστημα διασύνδεσης γίνεται μέσω προγραμματιζόμενων διακοπών (switches). Το σύστημα διασύνδεσης τυπικά αποτελείται από αγωγούς μικρού και μεγάλου μήκους. Οι αγωγοί μικρού μήκους χρησιμοποιούνται για την σύνδεση γειτονικών CLBs, ενώ οι μεγάλοι μήκους για σύνδεση απομακρυσμένων CLBs. Η επιλογή του τύπου αγωγού διασύνδεσης που θα χρησιμοποιηθεί ανά περίπτωση γίνεται αυτοματοποιημένα από το λογισμικό τοποθέτησης και δρομολόγησης.

3.3 Τρόποι διαμόρφωσης FPGA

Οι κυριότεροι τρόποι διαμόρφωσης ενός FPGA είναι οι εξής δύο:

- Με χρήση κελιών SRAM. Τα κελιά αυτά θα μπορούσαν να παρασταθούν σαν ένας μεγάλος καταχωρητής ολίσθησης, όπως φαίνεται και στο Σχήμα 3.4. Βασικό πλεονέκτημα είναι πως ο προγραμματισμός μπορεί να γίνει μετά την συναρμολόγηση του συστήματος. Σε περίπτωση όμως που χρησιμοποιηθεί πτητική μνήμη για τον προγραμματισμό, απαιτείται επαναδιαμόρφωση του FPGA κάθε φορά που τροφοδοτείται, ή η ύπαρξη μη πτητικής εξωτερικής μνήμης στην οποία θα είναι αποθηκευμένη η διαμόρφωση σε συνδυασμό με κύκλωμα για την φόρτωσή της στο FPGA.

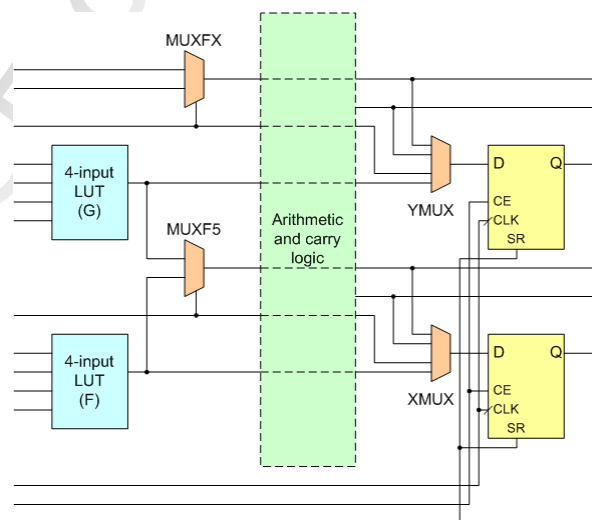


Σχήμα 3.4 Διαμόρφωση FPGA με χρήση κελιών SRAM

- Με αντι-ασφάλειες (antifuses). Πρόκειται για αγωγίμες συνδέσεις που σχηματίζονται κατά τον προγραμματισμό. Ο προγραμματισμός γίνεται πριν την τελική συναρμολόγηση του συστήματος. Το FPGA τοποθετείται σε ειδική συσκευή διαμόρφωσης. Σε αυτήν φορτώνεται η επιθυμητή διαμόρφωση. Αυτή με την σειρά της εφαρμόζει παλμούς υψηλής τάσης στα κατάλληλα σημεία, κάτι που προκαλεί την δημιουργία των αντι-ασφαλειών. Βασικό πλεονέκτημα της μεθόδου είναι η μικρότερη ευαισθησία σε προσωρινά σφάλματα (soft errors) λόγω ακτινοβολίας. Βασικό μειονέκτημα το γεγονός ότι συσκευές προγραμματιζόμενες με τον τρόπο αυτό δεν μπορούν να επαναδιαμορφωθούν.

3.4 Η οικογένεια Virtex 4

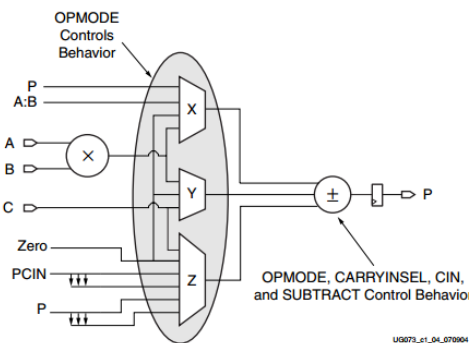
Το FPGA XC4VFX12-FF668-10 της οικογένειας Virtex-4 το οποίο χρησιμοποιήθηκε στην υλοποίηση της εφαρμογής διαθέτει CLB's αποτελούμενα από τέσσερα επιμέρους τμήματα (slices). Κάθε slice περιλαμβάνει δύο LUTs τεσσάρων εισόδων, δύο πολυπλέκτες, μία αριθμητική μονάδα και δύο καταχωρητές 1 bit που μπορούν να χρησιμοποιηθούν είτε σαν flip flop είτε σαν latch. Η είσοδός τους επιλέγεται από τον σχετικό πολυπλέκτη. Στο Σχήμα 3.5 φαίνεται η δομή ενός slice του FPGA της οικογένειας Virtex 4.



Σχήμα 3.5 Δομή slice FPGA της οικογένειας Virtex 4

Το χρησιμοποιηθέν FPGA διαθέτει:

- 12312 CLBs οργανωμένα σε 5472 slices
- 36 μπλοκ dual-port SRAM (Block RAM - BRAM) χωρητικότητας 18Kbit, προγραμματιζόμενα από 16K x 1 μέχρι 512 x 36. Κάθε πόρτα είναι πλήρως σύγχρονη και ανεξάρτητη από την άλλη. Υπάρχει ενσωματωμένη υποστήριξη για FIFO υλοποιημένη με BRAM. Η FIFO μπορεί να έχει μέγεθος από 4K x 4 έως 512 x 36.
- 32 slices ειδικά σχεδιασμένα για ψηφιακή επεξεργασία σήματος τα οποία ονομάζονται Xtreme DSP slices. Κάθε ένα αποτελείται από ένα πολλαπλασιαστή 18 x 18 συμπληρώματος ως προς 2, έναν αθροιστή και έναν συσσωρευτή (accumulator) μεγέθους 48 bit. Στο Σχήμα 3.6 φαίνεται μία απλοποιημένη μορφή ενός Xtreme DSP slice.



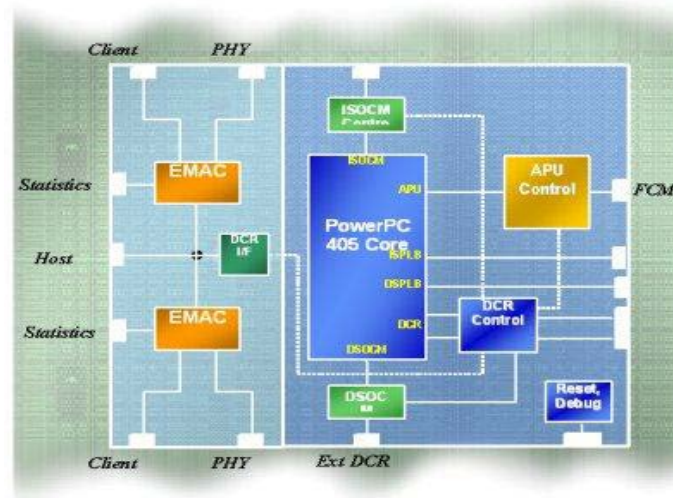
Σχήμα 3.6 Απλοποιημένη μορφή Xtreme DSP Slice

Ανάλογα με το OPCODE και τα υπόλοιπα σήματα ελέγχου αλλάζει η συμπεριφορά του slice, ώστε να υλοποιεί την κατάλληλη λογική συνάρτηση.

- 4 ελεγκτές ρολογιού (Digital Clock Managers - DCMs). Αυτοί προσφέρουν ακριβές σήμα ρολογιού με χαμηλό θόρυβο και ολίσθηση. Μπορούν να πετύχουν πολλαπλασιασμό και διαίρεση συχνότητας για την δημιουργία των όποιων απαιτούμενων συχνοτήτων χρονισμού. Επίσης μπορούν να παρέχουν τα παραγόμενα σήματα ρολογιού ολισθημένα κατά 90°, 180° ή 270°.
- Υποστήριξη Boundary-Scan και JTAG για προγραμματισμό και αποσφαλμάτωση.
- 1 επεξεργαστή PowerPC 405. Πρόκειται για hard-core επεξεργαστή, υπό την έννοια ότι καταλαμβάνει από την κατασκευή του κάποιους φυσικούς πόρους τους οποίους χρησιμοποιεί αποκλειστικά μόνο αυτός. Έχει συγκεκριμένα προκαθορισμένα χαρακτηριστικά που δεν γίνεται να παραμετροποιηθούν. Περισσότερες πληροφορίες σχετικά με τον PowerPC 405 στο Κεφάλαιο 4.
- 2 ελεγκτές δικτύου Ethernet συμβατούς με το πρότυπο IEEE 802.3-2000 και ταχύτητας 10/100/1000 Mb/s. Μπορούν να είναι full-duplex ή half-duplex, και μπορούν να λειτουργήσουν ανεξάρτητα από τον PowerPC.
- 320 I/Os. Τα περιφερειακά της πλακέτας ML403 συνδέονται στα πιο πολλά από αυτά, αλλά μένουν αρκετά διαθέσιμα στον χρήστη.

Η διαμόρφωση του FPGA της εφαρμογής γίνεται με χρήση κελιών SRAM.

Στο Σχήμα 3.7 φαίνεται η δομή του FPGA που χρησιμοποιήθηκε στην εφαρμογή.



Σχήμα 3.7 Δομή FPGA της πλακέτας ML403

4

Power PC 405

4.1 Εισαγωγή

Βασικό στοιχείο της αναπτυξιακής πλακέτας ML403 είναι ο επεξεργαστής PowerPC 405. Πρόκειται για έναν επεξεργαστή ο οποίος αποτελεί υλοποίηση της αρχιτεκτονικής PowerPC για ενσωματωμένα περιβάλλοντα, η οποία με την σειρά της είναι υποσύνολο της γενικευμένης αρχιτεκτονικής PowerPC (Performance Optimization With Enhanced RISC – Performance Computing). Βάσει αυτής ορίζονται τα εξής:

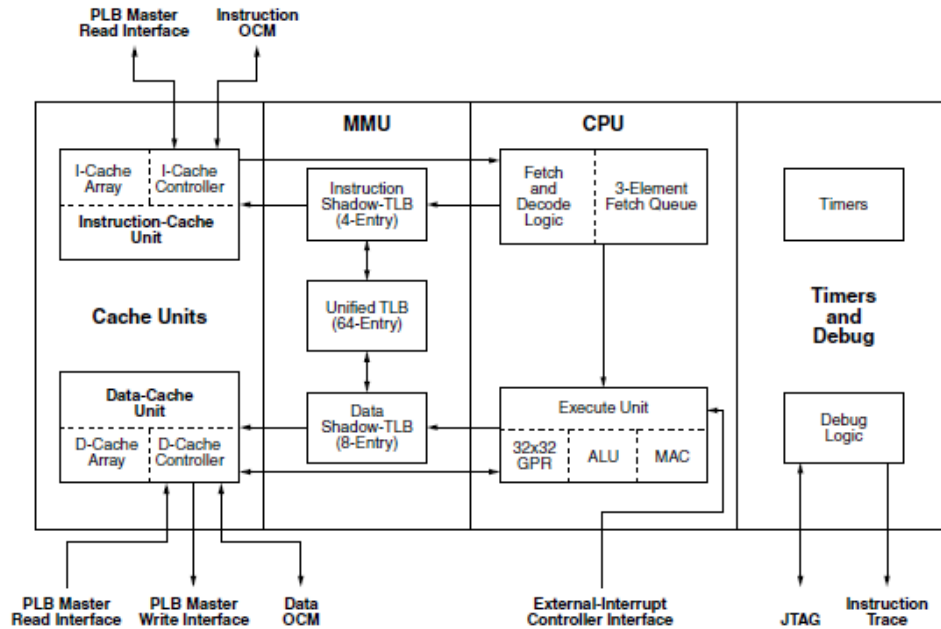
- Το σετ εντολών (Instruction Set), το οποίο και περιλαμβάνει τις εντολές που υποστηρίζει ο επεξεργαστής, την κωδικοποίησή τους καθώς και τους τρόπους διεθυσιοδότησης που χρησιμοποιούνται.
- Το προγραμματιστικό μοντέλο (Programming Model) το οποίο και ορίζει τους καταχωρητές που χρησιμοποιούνται, όπως επίσης και συμβάσεις που γίνονται σχετικά με την διάταξη των bits και των bytes στην μνήμη.
- Το μοντέλο μνήμης (Memory Model) το οποίο ορίζει το μέγεθος της μνήμης και το πώς αυτή υποδιαιρείται σε σελίδες (pages).
- Το μοντέλο εξαιρέσεων (Exception Model). Σε αυτό ορίζονται οι καταστάσεις οι οποίες και πρέπει να προκαλούν εξαιρέσεις (exceptions), ορίζονται τα χαρακτηριστικά τους και περιγράφεται ο τρόπος με τον οποίο πρέπει να γίνεται ο χειρισμός των διακοπών (interrupts) που προκαλούν. Επίσης, προβλέπει την ύπαρξη διακοπών ορισμένων από τον εκάστοτε προγραμματιστή.
- Το μοντέλο διαχείρισης μνήμης (Memory-Management Model) το οποίο περιγράφει τον τρόπο με τον οποίο γίνεται διαχείριση της μνήμης.
- Το μοντέλο τήρησης χρόνου (Time-Keeping Model) στο οποίο ορίζονται οι πόροι και μηχανισμοί σχετικοί με την μέτρηση χρόνου.

Στο κεφάλαιο αυτό γίνεται επισκόπηση του PowerPC 405 και μόνο, χωρίς να αναφερθούν σε βάθος λεπτομέρειες της γενικευμένης αρχιτεκτονικής. Επίσης, εστιάζουμε κυρίως σε χαρακτηριστικά και λειτουργίες που σχετίζονται και χρησιμοποιούνται στην εφαρμογή της παρούσης εργασίας.

4.2 Αρχιτεκτονική και οργάνωση υλικού

Ο PowerPC 405 είναι ένας επεξεργαστής 32 bit, RISC σχεδίασης και Harvard αρχιτεκτονικής. Έχει ξεχωριστές cache μνήμες για τις εντολές και τα δεδομένα (Instruction-Cache Unit και Data-Cache Unit αντίστοιχα), οι οποίες ελέγχονται από τον ανάλογο controller (I-Cache Controller και D-Cache Controller). Έχει 32 γενικού σκοπού 32-bit καταχωρητές, και 3 χρονιστές (timers). Τα δεδομένα αποθηκεύονται στην μνήμη σε little-endian μορφή. Υπάρχει on-chip memory (OCM) με πολύ μικρούς χρόνους προσπέλασης. Η εκτέλεση των εντολών γίνεται μέσω διοχέτευσης 5 σταδίων (5 stage

pipeline). Υποστηρίζεται στατική πρόβλεψη διακλαδώσεων (static branch prediction). Το σετ εντολών του περιέχει εντολές πολλαπλασιασμού και συσσώρευσης (accumulation). Οι πράξεις του πολλαπλασιασμού και της διαίρεσης μάλιστα γίνονται στο υλικό για λόγους απόδοσης. Υπάρχει επίσης δυνατότητα σύνδεσης με JTAG για λόγους αποσφαλμάτωσης. Στο Σχήμα 4.1 φαίνεται η εσωτερική οργάνωση του PowerPC 405.



Σχήμα 4.1 Εσωτερική οργάνωση PowerPC 405

Στο σχήμα διακρίνονται τα εξής:

- Κεντρική μονάδα επεξεργασίας (Central Processing Unit - CPU). Σε αυτή γίνεται η εκτέλεση των εντολών σε 5 στάδια: προσκόμιση εντολής (fetch), αποκωδικοποίηση εντολής (decode), εκτέλεση εντολής (execution), εγγραφή σε αρχείο καταχωρητών (write-back) και εγγραφή στην μνήμη (load write-back). Αποτελείται από τις μονάδες που αναλαμβάνουν την προσκόμιση και αποκωδικοποίηση των εντολών (Fetch and decode Logic), κάποιους εσωτερικούς buffers που χρειάζονται κατά τα στάδια αυτά (3-Element fetch Queue), το αρχείο καταχωρητών (32x32 GPR), την μονάδα εκτέλεσης αριθμητικών εντολών (Arithmetic-Logic Unit - ALU) και την μονάδα πολλαπλασιασμού και συσσώρευσης (Multiply-Accumulate Unit - MAC).
- Μονάδα διαχείρισης μνήμης (Memory-Management Unit - MMU). Σε αυτή γίνεται η διαχείριση της μνήμης με κυριότερη λειτουργία την μετάφραση των διευθύνσεων από εικονικές (οργανωμένες σε σελίδες) σε πραγματικές. Επίσης, παρέχονται μηχανισμοί ελέγχου πρόσβασης της μνήμης (memory-access control and protection).
- Instruction και Data Caches με τους αντίστοιχους ελεγκτές. Κάθε μία είναι μεγέθους 16 KB, two-way set-associative και οργανωμένες σε γραμμές των 32 bytes. Συνδέονται με την μνήμη OCM και με λοιπά περιφερειακά μέσω των διαύλων OCM και PLB αντίστοιχα.
- Χρονιστές. Αυξάνουν σύγχρονα με το ρολόι της CPU ή με εξωτερικό ρολόι. Παρέχονται 3 χρονιστές, ένας προγραμματιζόμενος, ένας προκαθορισμένης τιμής και ένας watchdog ο οποίος μπορεί να προκαλέσει επανεκκίνηση του συστήματος ανάλογα με την ρύθμιση που έχει γίνει από τον προγραμματιστή.

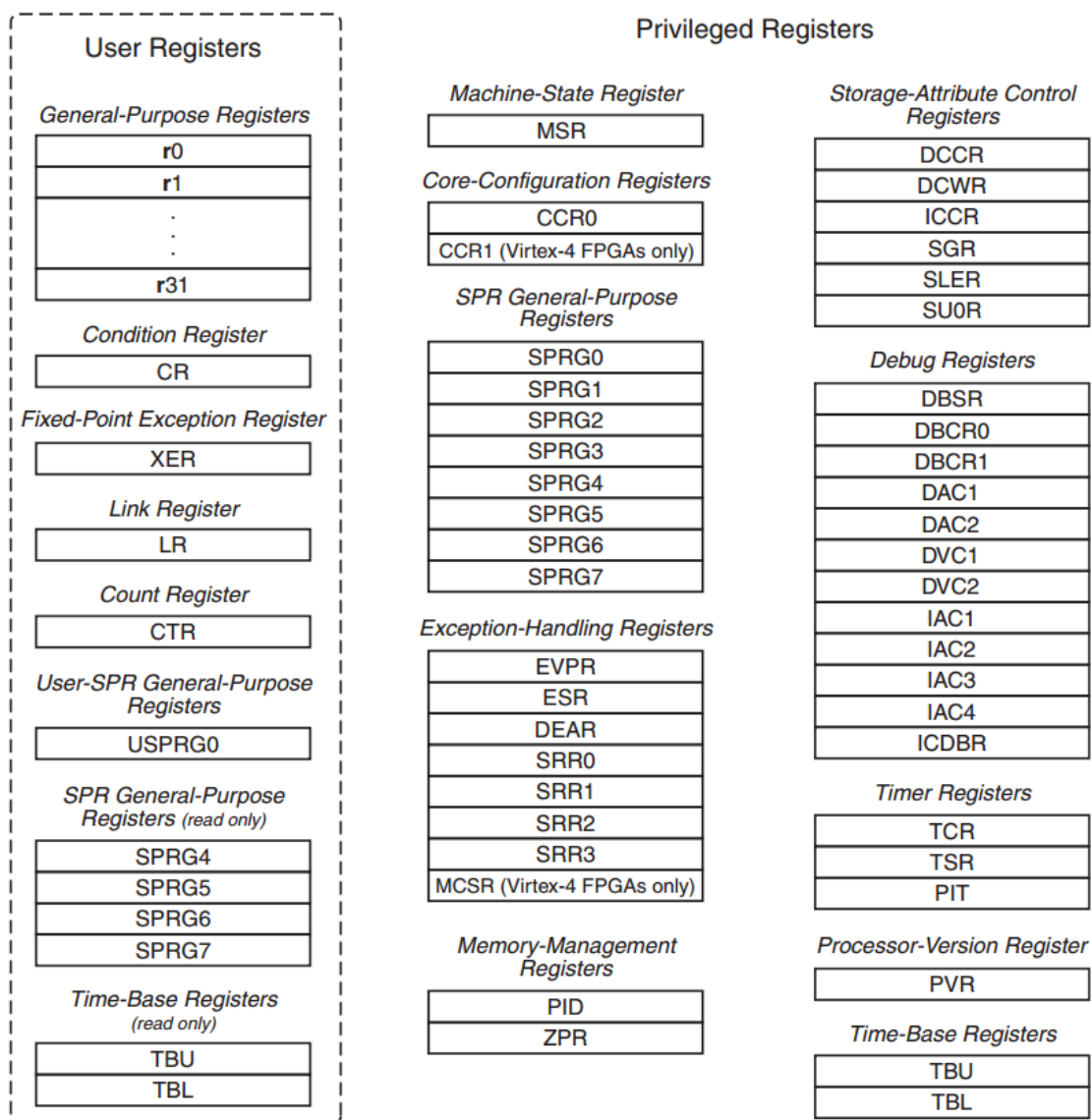
- Μονάδα αποσφαλμάτωσης, η οποία μπορεί να προσπελαστεί είτε μέσω λογισμικού που εκτελείται στον επεξεργαστή είτε μέσω της διεπαφής JTAG.
- Διεπαφή με μονάδα διαχείρισης εξαιρέσεων (External Interrupt Controller Interface). Περισσότερες πληροφορίες σχετικά με τις εξαιρέσεις και διακοπές του PowerPC στην ενότητα 4.5.

4.3 Χαρακτηριστικά του PowerPC σχετικά με λογισμικό

Η αρχιτεκτονική του PowerPC προβλέπει εκτός των άλλων και θέματα σχετικά με το λογισμικό. Αυτά είναι τα εξής:

- Τρόπος εκτέλεσης λογισμικού. Το λογισμικό μπορεί να εκτελείται σε προνομιακή (privileged mode) ή σε λειτουργία χρήστη (user mode). Στην προνομιακή επιτρέπεται η πρόσβαση στο σύνολο των καταχωρητών και εντολών, ενώ στην λειτουργία χρήστη απαγορεύεται η πρόσβαση σε κάποιους καταχωρητές και η εκτέλεση κάποιων εντολών.
- Ο PowerPC μπορεί να εκτελέσει πράξεις με τελεστές μεγέθους 8, 16, και 32 bits. Πράξεις με τελεστές μεγαλύτερου μεγέθους επιτυγχάνονται με πολλαπλές εκτελέσεις εντολών. Τα ακέραια αριθμητικά δεδομένα μπορούν να είναι προσημασμένα ή απροσημαστα. Οι προσημασμένοι ακέραιοι παριστάνονται σε μορφή συμπληρώματος ως προς 2.
- Τα δεδομένα μπορούν να προσπελαστούν στην μνήμη με 3 τρόπους:
 - Έμμεση διευθυνσιοδότηση μέσω καταχωρητή (Register indirect): Η διεύθυνση των δεδομένων είναι αποθηκευμένη σε καταχωρητή.
 - Έμμεση διευθυνσιοδότηση μέσω καταχωρητή με δείκτη (Register-indirect with index): Μία διεύθυνση βάσης βρίσκεται αποθηκευμένη σε καταχωρητή, ενώ σε ένα δεύτερο καταχωρητή βρίσκεται αποθηκευμένη η απόσταση των δεδομένων από την διεύθυνση βάσης.
 - Έμμεση διευθυνσιοδότηση μέσω καταχωρητή με άμεσο δείκτη (Register-indirect with immediate index): Μία διεύθυνση βάσης βρίσκεται αποθηκευμένη σε καταχωρητή, ενώ η απόσταση των δεδομένων από την διεύθυνση βάσης δίνεται μέσω της εντολής που εκτελείται.
- Η διεύθυνση της επόμενης εντολής προς εκτέλεση υπολογίζεται προσθέτοντας 4 bytes στην τρέχουσα διεύθυνση εντολής. Σε περίπτωση διακλάδωσης, υπολογίζεται με 4 τρόπους:
 - Διακλάδωση σε σχετική διεύθυνση (Branch to relative): Η διεύθυνση της επόμενης εντολής είναι μία διεύθυνση σχετική ως προς την τρέχουσα.
 - Διακλάδωση σε απόλυτη διεύθυνση (Branch to absolute): Η διεύθυνση της επόμενης εντολής είναι μία απόλυτη διεύθυνση.
 - Διακλάδωση μέσω link register (Branch to link register). Η διεύθυνση της επόμενης εντολής είναι αποθηκευμένη στον καταχωρητή link.
 - Διακλάδωση μέσω count register (Branch to count register). Η διεύθυνση της επόμενης εντολής είναι αποθηκευμένη στον καταχωρητή count.
- Στο Σχήμα 4.2 φαίνονται οι καταχωρητές του PowerPC 405. Διακρίνονται οι εξής:
 - Καταχωρητές γενικού σκοπού (General Purpose Registers - GPRs). Είναι 32 σε πλήθος και έχουν μέγεθος 32-bit. Χρησιμοποιούνται κυρίως από εντολές αριθμητικών πράξεων.
 - Καταχωρητές ειδικού σκοπού (Special Purpose Registers - SPRs). Έχουν μέγεθος 32-bit. Παρέχουν πρόσβαση σε πόρους του επεξεργαστή, όπως για παράδειγμα στους χρονιστές ή στους μηχανισμούς αποσφαλμάτωσης.
 - Καταχωρητής κατάστασης μηχανής (Machine-State Register - MSR). Έχει μέγεθος 32-bit. Περιέχει πεδία που ελέγχουν την κατάσταση λειτουργίας του επεξεργαστή.

- Καταχωρητής κατάστασης (Condition Register - CR). Έχει μέγεθος 32-bit. Περιέχει πεδία που χρησιμοποιούνται για τον έλεγχο των διακλαδώσεων.



Σχήμα 4.2 Οι καταχωρητές του PowerPC 405

4.4 Διεπαφές Εισόδου/Εξόδου

Ο PowerPC 405 υποστηρίζει πλήθος διεπαφών για την επικοινωνία του με περιφερειακά, την μνήμη, με μηχανισμούς αποσφαλμάτωσης, με συν-επεξεργαστές κ.α. Ονομαστικά οι υποστηριζόμενες διεπαφές είναι:

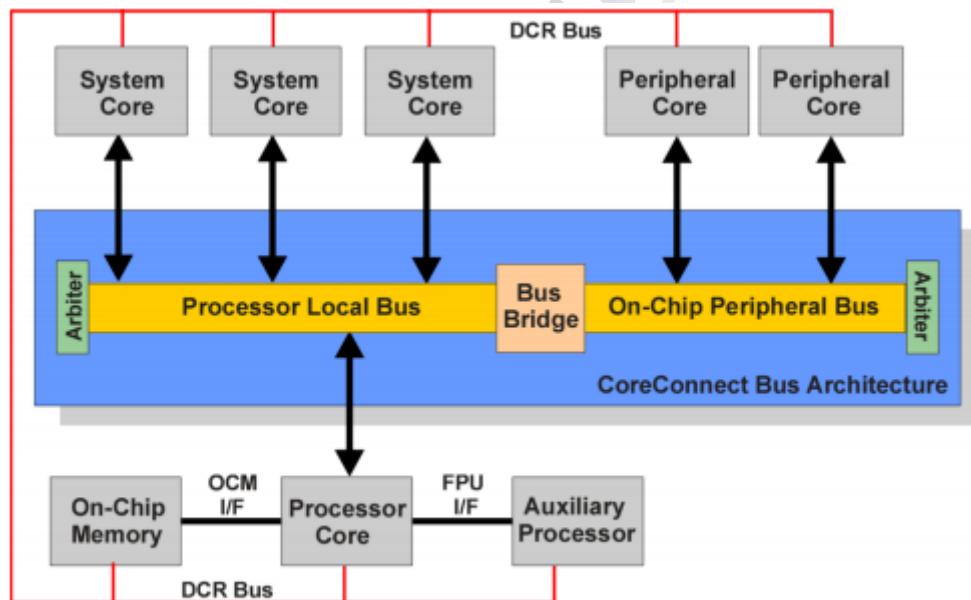
- Clock and Power Management Interface
- CPU Control Interface
- Reset Interface
- Instruction-Side Processor Local Bus Interface
- Data-Side Processor Local Bus Interface
- Device-Control Register Interfaces
- Internal Device Control Register (DCR) Interface
- External DCR Bus Interface

- External Interrupt Controller Interface
- PPC405 JTAG Debug Port
- Debug Interface
- Trace Interface
- Processor Version Register (PVR) Interface
- Additional FPGA Specific Signals

Από αυτές θα σταθούμε στις διεπαφές με τον δίαυλο Processor Local Bus – PLB, ο οποίος χρησιμοποιείται για την επικοινωνία με διάφορα περιφερειακά του συστήματος, και την διεπαφή με την on-chip memory.

4.4.1 Διεπαφές Processor Local Bus

Το Processor Local Bus (PLB) αποτελεί μαζί με το On-chip Peripheral Bus (OPB) και το Device Control Register Bus (DCR) μέρος του συστήματος διαύλων CoreConnect της IBM. Προορίζεται για την διασύνδεση περιφερειακών υψηλής ταχύτητας, σε αντίθεση με το OPB το οποίο προορίζεται για πιο αργά περιφερειακά. Το DCR χρησιμοποιείται για τη μεταφορά δεδομένων διαμόρφωσης και ρυθμίσεων και όχι δεδομένων ή εντολών. Στο Σχήμα 4.3 διακρίνεται το σύστημα διαύλων CoreConnect της IBM που χρησιμοποιείται στον πυρήνα του PowerPC.

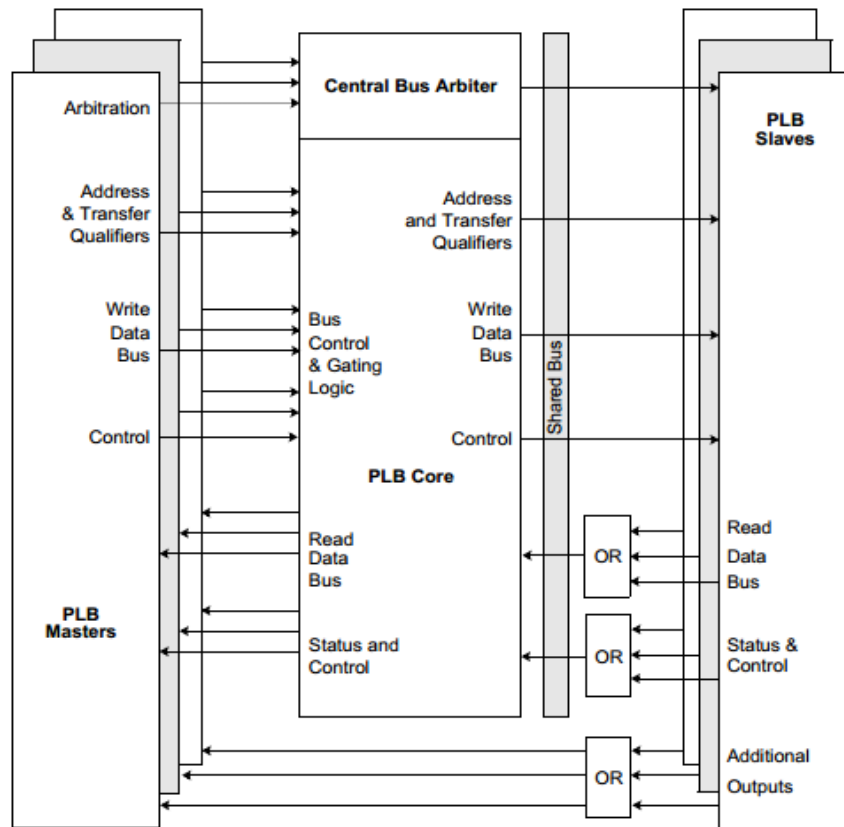


CoreConnect Block Diagram

Σχήμα 4.3 Το CoreConnect σύστημα διαύλων

Το PLB, το οποίο έχει χρησιμοποιηθεί στην παρούσα εργασία, παρέχει το πρότυπο της διεπαφής μεταξύ του επεξεργαστή και των ελεγκτών των διάφορων περιφερειακών. Είναι υψηλής απόδοσης, με δίαυλο διευθύνσεων μεγέθους μέχρι 64-bit και δίαυλο δεδομένων μεγέθους μέχρι 128-bit.

Υποστηρίζει λειτουργίες πολλαπλών master και πολλαπλών slave. Κάθε master συνδέεται στο PLB μέσω ξεχωριστών διαύλων για διευθύνσεις, ανάγνωση δεδομένων, εγγραφή δεδομένων και μεταφορά σημάτων ελέγχου. Αντίθετα, όλοι οι slaves μοιράζονται κοινούς διαύλους για τις ανωτέρω λειτουργίες, όπως φαίνεται και στο Σχήμα 4.4.

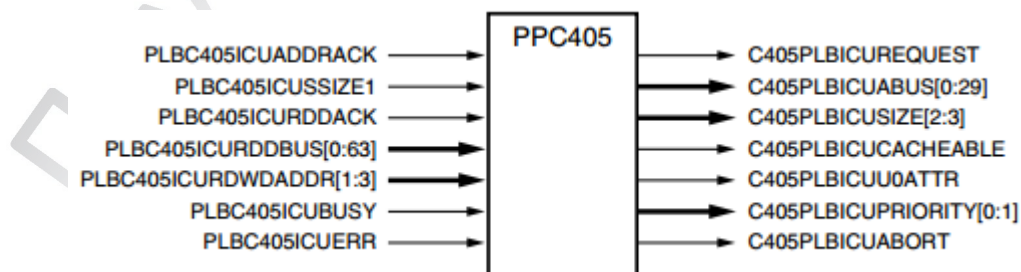


Σχήμα 4.4 Ο διάλος PLB

Το PLB επιτρέπει την πρόσβαση στον δίαυλο μέσω μηχανισμού διαιτησίας (arbitration mechanism), ο οποίος υποστηρίζει την ύπαρξη διαφορετικών προτεραιοτήτων μεταξύ των συσκευών που είναι συνδεδεμένες. Σημειώνεται επίσης πως όλες οι συσκευές που είναι συνδεδεμένες στον δίαυλο, ανεξάρτητα από το αν είναι master ή slave, μοιράζονται ένα κοινό ρολόι. Η επικοινωνία μέσω PLB είναι σύγχρονη με το ρολόι αυτό.

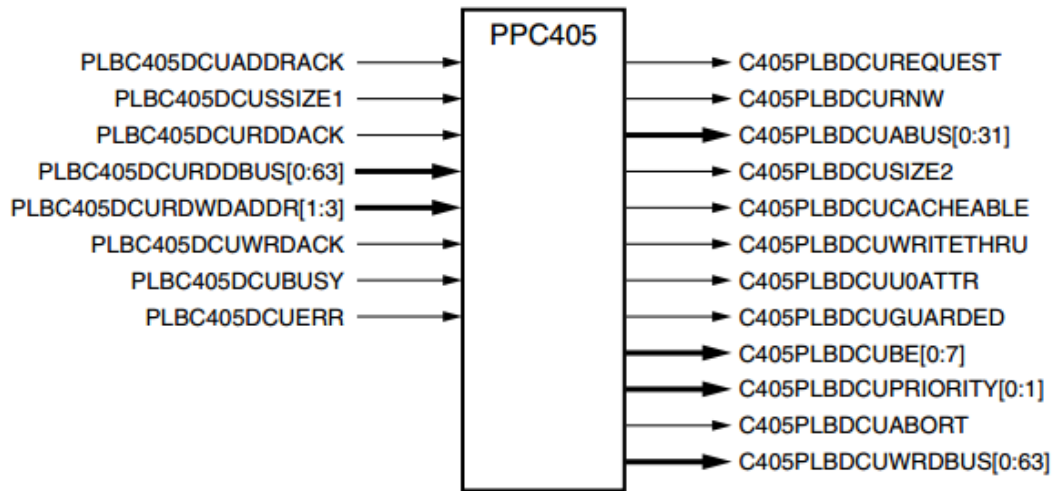
Οι διεπαφές του PowerPC που αναλαμβάνουν την επικοινωνία με το PLB είναι οι Instruction-Side Processor Local Bus Interface (ISPLB) και Data-Side Processor Local Bus Interface (DSPLB). Αυτές συνδέουν το Instruction-Cache Unit και το Data-Cache Unit αντίστοιχα ως masters στον PLB δίαυλο.

Η διεπαφή ISPLB έχει 30-bit δίαυλο διευθύνσεων σαν έξοδο και 64-bit δίαυλο δεδομένων σαν είσοδο, και δεν επιτρέπει στο ICU να γράψει στην μνήμη. Υποστηρίζει μία μεταφορά δεδομένων ανά κύκλο ρολογιού PLB.



Σχήμα 4.5 Η διεπαφή ISPLB του PowerPC 405

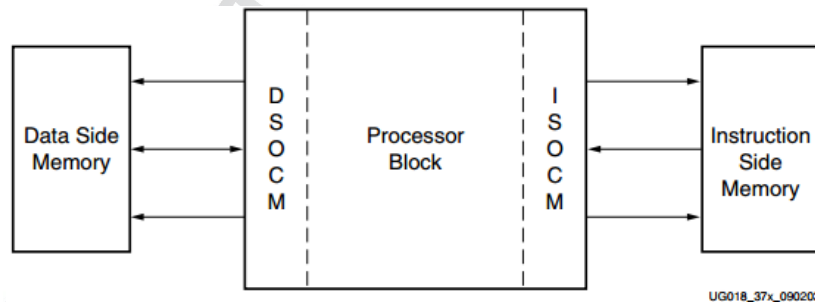
Η διεπαφή DSPLB επιτρέπει στο DCU να διαβάζει και να γράφει δεδομένα από οποιαδήποτε συσκευή είναι συνδεδεμένη στο PLB. Έχει 32-bit διάυλο διευθύνσεων σαν έξοδο, και ξεχωριστούς 64-bit διαύλους δεδομένων για είσοδο (ανάγνωση) και έξοδο (εγγραφή). Υποστηρίζει μία μεταφορά δεδομένων ανά κύκλο ρολογιού PLB.



Σχήμα 4.6 Η διεπαφή DSPLB του PowerPC 405

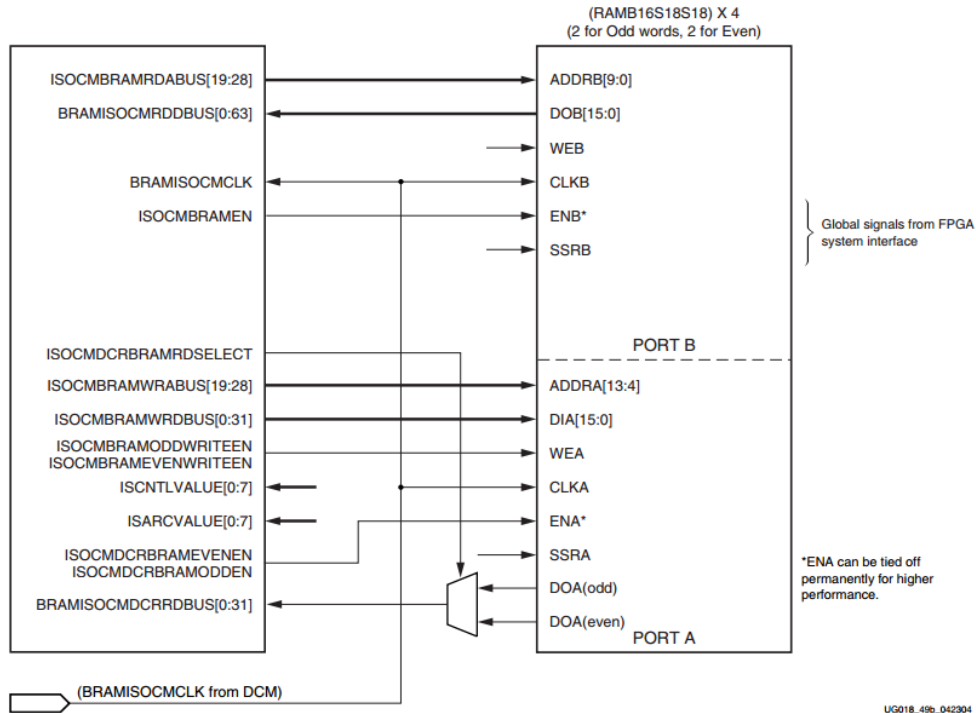
4.4.2 Διεπαφές On-Chip μνήμης

Ο PowerPC 405 υποστηρίζει την διασύνδεση του με on-chip memory (OCM). Αυτή, υλοποιείται με Block RAMs του FPGA της αναπτυξιακής πλακέτας, και παρέχει χρόνους προσπέλασης ίσους με ενός cache hit. Η επικοινωνία του επεξεργαστή με τις μνήμες αυτές, γίνεται μέσω διεπαφών αποκλειστικά αφιερωμένων σε αυτό το σκοπό. Οι διεπαφές του PowerPC 405 με την OCM ελέγχονται από δύο ξεχωριστούς ελεγκτές, τον Data-Side OCM (DSOCM) και τον Instruction-Side OCM (ISOCM). Κάθε ένας μπορεί να προσπελάσει μνήμη μεγέθους μέχρι 16MB. Σε περίπτωση που το σύστημα υποστηρίζει dual-port BRAM, όπως η αναπτυξιακή πλακέτα ML403, αυτή προτιμάται ώστε να είναι εφικτή ταυτόχρονη εγγραφή και ανάγνωση από την μνήμη.



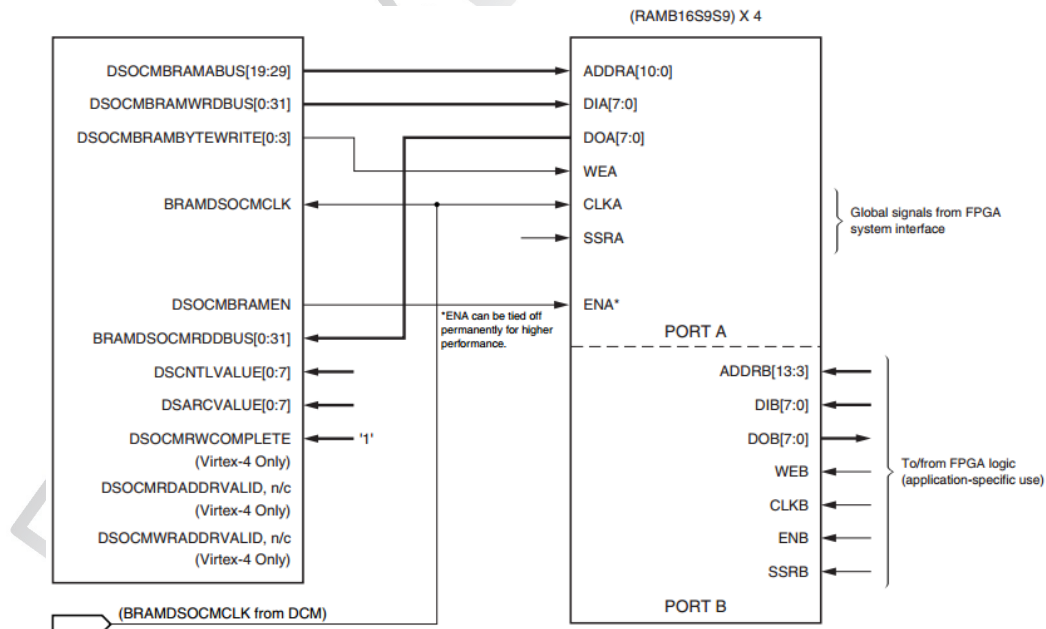
Σχήμα 4.7 Οι διεπαφές On-Chip μνήμης του PowerPC 405

Ο ελεγκτής ISOCM έχει έναν διάυλο μεγέθους 64-bit σαν είσοδο των εντολών που προσκομίζονται και έναν μεγέθους 32-bit για εγγραφή και ανάγνωση. Ο διάυλος διευθύνσεων έχει μέγεθος 21-bit. Η επικοινωνία είναι μονόδρομη, υπό την έννοια ότι δεν επιτρέπεται να γίνει εγγραφή της μνήμης. Μέγιστη απόδοση που μπορεί να υποστηρίξει είναι δύο προσκομίσεις εντολών ανά δύο κύκλους ρολογιού. Στο Σχήμα 4.8 φαίνεται η σύνδεση του ISOCM με dual-port BRAM του Virtex 4 FPGA που έχει χρησιμοποιηθεί στην παρούσα εργασία.



Σχήμα 4.8 Σύνδεση του ISOCM με dual-port BRAM

Ο ελεγκτής DSOCM υποστηρίζει αμφίδρομη επικοινωνία, έχοντας ξεχωριστούς διαύλους για εγγραφή και ανάγνωση μεγέθους 32-bit ο καθένας. Ο δίαυλος διευθύνσεων έχει μέγεθος 22-bit. Μέγιστη απόδοση που μπορεί να υποστηρίξει είναι μία εγγραφή/ανάγνωση ανά δύο κύκλους ρολογιού. Στο Σχήμα 4.9 φαίνεται η σύνδεση του DSOCM με BRAM του Virtex 4 FPGA που έχει χρησιμοποιηθεί στην παρούσα εργασία.



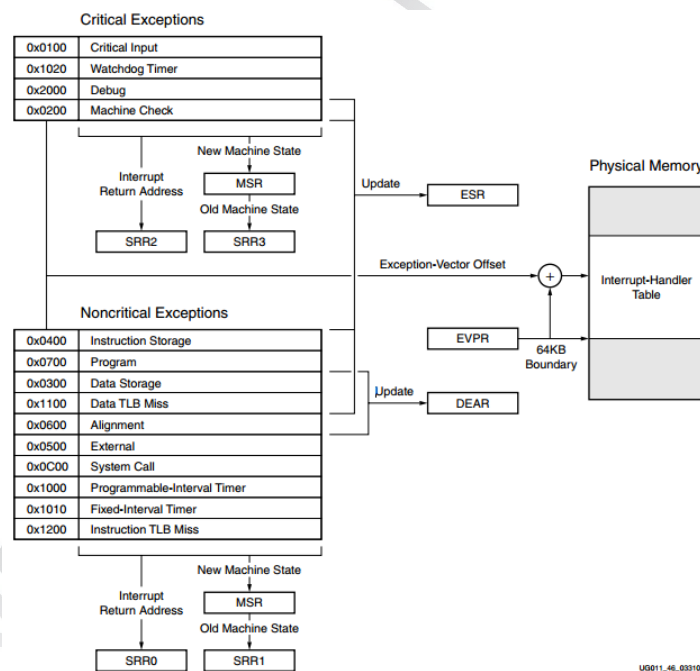
Σχήμα 4.9 Σύνδεση του DSOCM με BRAM

4.5 Εξαιρέσεις και διακοπές του PowerPC

Με τον όρο εξαιρέσεις (exceptions) περιγράφονται γεγονότα τα οποία ανιχνεύονται από τον επεξεργαστή και απαιτούν τον άμεσο χειρισμό τους. Συχνά πρόκειται για καταστάσεις στις οποίες έχει συμβεί κάποιο ανιχνεύσιμο σφάλμα, κάτι το οποίο όμως δεν είναι απόλυτο. Εξαιρέση μπορεί να προκαλείται από την εκπνοή ενός χρονιστή ή από διαδικασίες αποσφαλμάτωσης. Υπάρχει επίσης η δυνατότητα προσθήκη εξαιρέσεων από τον σχεδιαστή – προγραμματιστή του συστήματος.

Ο PowerPC 405 υποστηρίζει 19 διαφορετικές εξαιρέσεις. Αυτές είναι κατηγοριοποιημένες σε 2 επίπεδα, τις κρίσιμες και τις μη κρίσιμες. Κρίσιμες είναι κυρίως όσες σχετίζονται με καταστάσεις σφάλματος του συνολικού συστήματος. Παράδειγμα κρίσιμης εξαιρέσης είναι ο Watchdog timer, του οποίου η εκπνοή σημαίνει πως πιθανότατα το σύστημα έχει εγκλωβιστεί χωρίς να το επιθυμούμε σε κάποιον ατέρμονα βρόχο. Παράδειγμα μη κρίσιμης εξαιρέσης είναι η εκπνοή ενός προγραμματιζόμενου χρονιστή, ή σφάλματα τα οποία δεν θεωρείται πως μπορούν να επιφέρουν την αποτυχία του συνολικού συστήματος, όπως για παράδειγμα μη ευθυγραμμισμένος τελεστής κάποιας πράξης.

Οι εξαιρέσεις προκαλούν διακοπή (interrupt) στην κανονική ροή του προγράμματος. Ενεργοποιείται τότε ένας μηχανισμός ο οποίος αποθηκεύει την τρέχουσα κατάσταση και μεταφέρει την ροή του προγράμματος σε προκαθορισμένα σημεία. Από αυτά εκτελούνται ρουτίνες οι οποίες χειρίζονται την εξαιρέση που προέκυψε, οι οποίες ονομάζονται ρουτίνες εξυπηρέτησης διακοπής (Interrupt Service Routines - ISRs). Ο μηχανισμός μεταφοράς του ελέγχου σε κάποια ISR είναι, όσο αφορά τον PowerPC 405 ο ακόλουθος:



Σχήμα 4.10 Μηχανισμός χειρισμού εξαιρέσεων του PowerPC 405

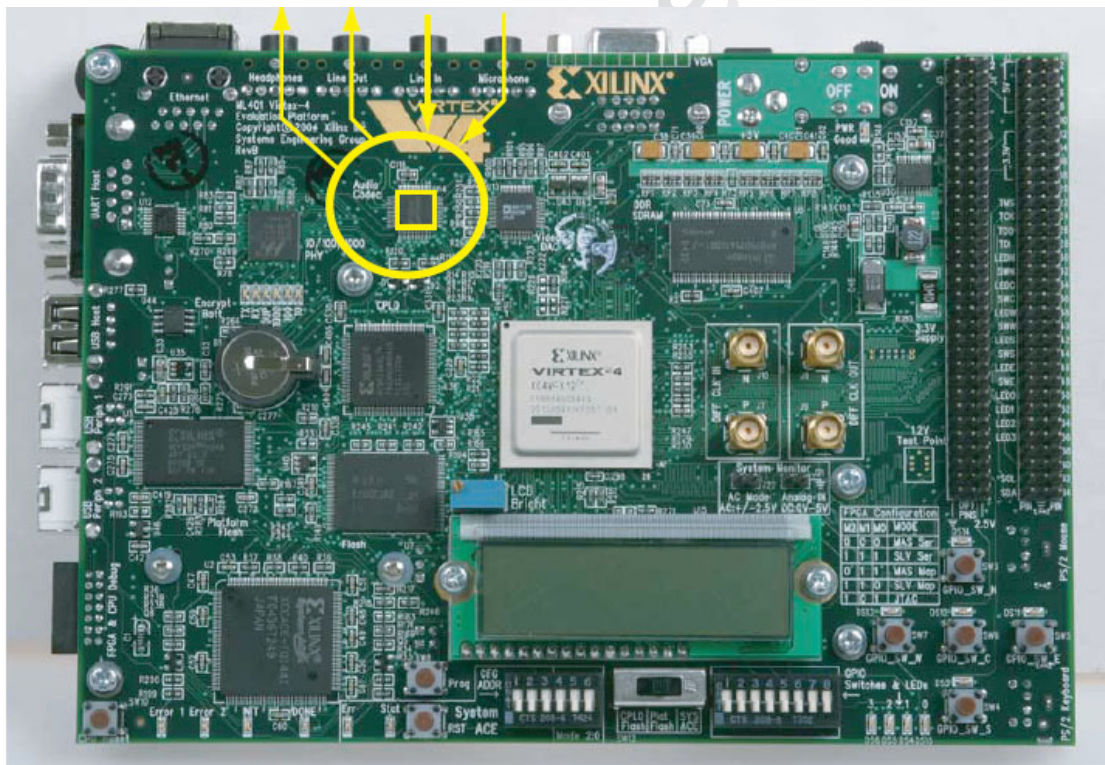
Όπως φαίνεται στο σχήμα 4.10, η ανίχνευση κάποιας εξαιρέσης προκαλεί αποθήκευση της τρέχουσας διεύθυνσης εντολής και της κατάστασης του επεξεργαστή (δηλαδή των τρεχόντων τιμών των καταχωρητών του) στους κατάλληλους καταχωρητές. Αυτό γίνεται ώστε να μπορεί να επιστρέψει η ροή του προγράμματος στο σημείο που ήταν πριν την διακοπή. Οι SRR0 και SRR1 χρησιμοποιούνται σε κρίσιμες διακοπές και οι SRR2 και SRR3 στις μη κρίσιμες. Έπειτα ενημερώνονται οι καταχωρητές ESR και DEAR σχετικά με την αιτία διακοπής. Τέλος, γίνεται άλμα σε προκαθορισμένη για κάθε διακοπή διεύθυνση από την οποία θα γίνει εκ νέου άλμα στην καθορισμένη από τον προγραμματιστή ISR. Ο PowerPC χειρίζεται τις διακοπές σειριακά. Σε περίπτωση που συμβούν ταυτόχρονα δύο ή παραπάνω διακοπές, αυτή που θα εξυπηρετηθεί πρώτα είναι αυτή με την υψηλότερη προτεραιότητα. Όπως είναι αναμενόμενο, οι κρίσιμες εξαιρέσεις προκαλούν διακοπές υψηλότερης προτεραιότητας.

5

AC'97 Codec – LM4550

5.1 Εισαγωγή

Η συλλογή των δειγμάτων ήχου γίνεται μέσω του ολοκληρωμένου LM4550 της National Semiconductor που υπάρχει στο αναπτυξιακό σύστημα ML403. Πρόκειται για έναν κωδικοποιητή ήχου συμβατό με το πρότυπο AC97 (έκδοση 2.1). Στο Σχήμα 5.1 φαίνεται η θέση του LM4550 στην πλακέτα του αναπτυξιακού, όπως επίσης και η θέση των εισόδων/εξόδων που προσφέρονται.



Σχήμα 5.1 Θέση του LM4550 στην πλακέτα ML403

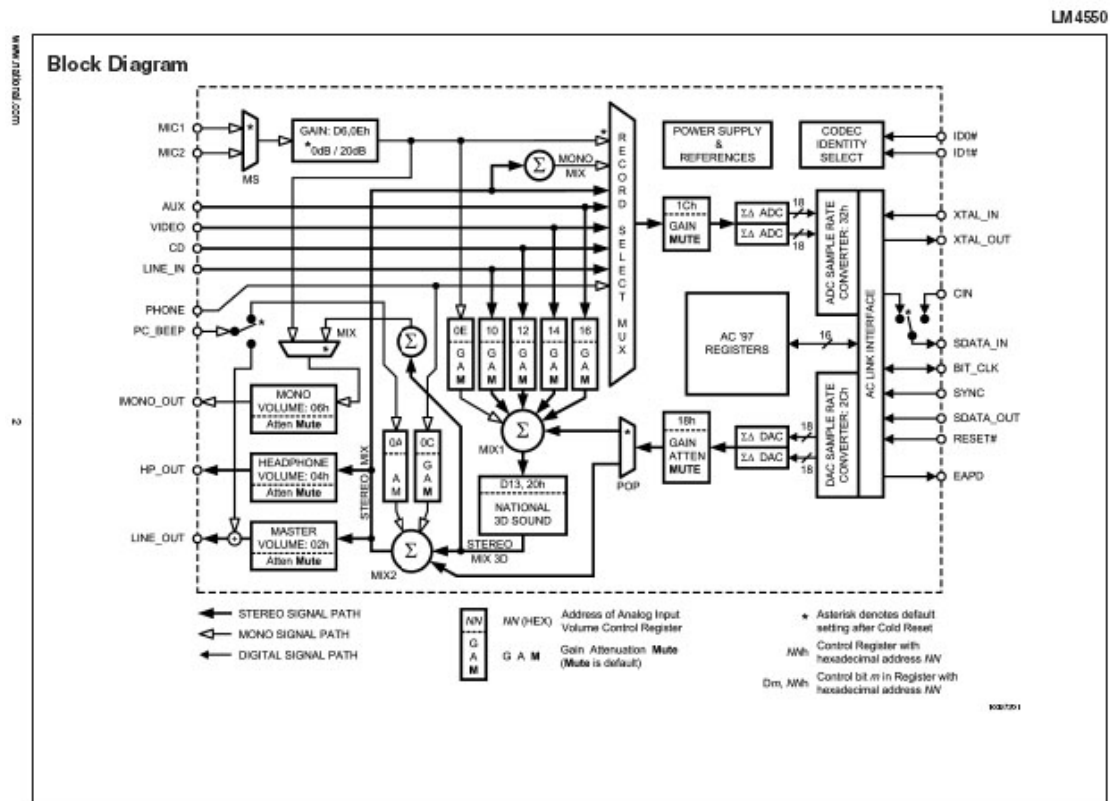
Στον Πίνακα 5.1 παρατίθενται οι εισοδοί/εξοδοί ήχου του αναπτυξιακού ML403, καθώς και αν αυτές αφορούν στερεοφωνικό ή μονοφωνικό ήχο. Η σειρά που αναφέρονται είναι όπως αυτές φαίνονται στο Σχήμα 5.1, από αριστερά προς τα δεξιά.

Λειτουργία	Είσοδος/Έξοδος	Στερεοφωνικός/Μονοφωνικός ήχος
Ακουστικά	Έξοδος	Στερεοφωνικός
Αναλογική γραμμή	Έξοδος	Στερεοφωνικός
Αναλογική γραμμή	Είσοδος	Στερεοφωνικός
Μικρόφωνο	Είσοδος	Μονοφωνικός

Πίνακας 5.1 Οι εισοδοί/έξοδοι ήχου της πλακέτας ML403

5.2 Στερεοφωνικός κωδικοποιητής ήχου LM4550

Ο κωδικοποιητής ήχου LM4550 που έχει χρησιμοποιηθεί στο ML403 είναι ένας γενικού σκοπού κωδικοποιητής συμβατός με το πρότυπο AC97, Rev. 2.1. Υποστηρίζει δειγματοληψία με ρυθμό από 4 kHz έως 48 kHz σε βήματα του ενός Hz. Ο ρυθμός δειγματοληψίας εγγραφής και αναπαραγωγής μπορεί να είναι διαφορετικός. Τα δείγματα που συλλέγει είναι ανάλυσης 16 ως 18 bits ανά κανάλι. Στο ML403 έχει χρησιμοποιηθεί έκδοση με ανάλυση 18 bits. Μπορεί συνολικά να διαχειρίζεται μέχρι 4 στερεοφωνικές και 4 μονοφωνικές εισόδους, και να οδηγεί 1 μονοφωνική και 2 στερεοφωνικές εξόδους. Κάθε είσοδος έχει ξεχωριστό κέρδος, απόσβεση και έλεγχο σίγασης. Κάθε έξοδος έχει ξεχωριστή απόσβεση και έλεγχο σίγασης επίσης. Στο Σχήμα 5.2 φαίνεται το δομικό διάγραμμα του LM4550.



Σχήμα 5.2 Δομικό διάγραμμα LM4550

Διακρίνονται τόσο τα βασικά στοιχεία της αρχιτεκτονικής του LM4550, όσο και μέσω ποιων καταχωρητών μπορεί να γίνει παραμετροποίηση και έλεγχος του ολοκληρωμένου (Περαιτέρω πληροφορίες για τους καταχωρητές του LM4550 στην ενότητα 5.2.1) :

- Είσοδοι και έξοδοι του ADC(Analog to Digital Converter): Όλες οι εισοδοι μπορούν να επιλεγθούν από τον ADC. Το επίπεδο έντασης ρυθμίζεται μέσω του καταχωρητή Record Gain Register και μπορεί να πάρει τιμές από 0 db ως 22.5 db σε βήματα του 1.5 db. Η σίγαση των δύο καναλιών ήχου (αριστερό και δεξί) γίνεται ταυτόχρονα. Η είσοδος επιλέγεται μέσω του

πολυπλέκτη Record Select Mux, ο οποίος ελέγχεται από τον καταχωρητή Record Select Register και το bit MS του General Purpose Register (στην περίπτωση μικροφώνου)

- Αναλογική μίξη – MIX1: Μπορεί να γίνει μίξη 4 στερεοφωνικών και 1 μονοφωνικής εισόδων. Η ψηφιακή είσοδος του κωδικοποιητή μπορεί να οδηγηθεί είτε στον μίκτη MIX1 είτε στον μίκτη MIX2, αφού πρώτα προηγηθεί μετατροπή από ψηφιακό σε αναλογικό από τον DAC(Digital to Analog Converter) και ρύθμιση του επιπέδου έντασης μέσω του κατάλληλου καταχωρητή. Συγκεκριμένα, χρησιμοποιούνται για αυτόν τον σκοπό οι καταχωρητές Mic Volume, Line_In Volume, CD Volume, Video Volume, Aux Volume και PCM Out Volume. Οι επιτρεπόμενες τιμές είναι από 0 db ως 22.5 db σε βήματα του 1.5 db.
- Μίξη DAC και 3D επεξεργασία: Το ειδικό κύκλωμα National 3D Sound προσφέρει 3D επεξεργασία και ενίσχυση. Είσοδος του είναι η έξοδος του μίκτη MIX1. Επίσης μπορεί να δεχτεί σαν είσοδο την έξοδο του DAC. Στην περίπτωση που το bit POP του General Purpose Register έχει την τιμή 0 τότε η έξοδος του DAC οδηγείται στον MIX1, οπότε και θα αποτελέσει είσοδο του National 3D Sound. Σε αντίθετη περίπτωση, η έξοδος του DAC οδηγείται απευθείας στον MIX2.
- Αναλογική μίξη – MIX2: Ο μίκτης MIX2 συνδυάζει την έξοδο του μίκτη MIX1 με 2 από τις αναλογικές εισόδους, τις PHONE και PC_BEEP. Η ένταση των εισόδων αυτών γίνεται από τους καταχωρητές Phone Volume και PC_Beep Volume αντίστοιχα. Επίσης, όπως προαναφέρθηκε, ανάλογα με την τιμή του bit POP του General Purpose Register, μπορεί να συνδυαστεί από τον MIX2 και η έξοδος του DAC.
- Στερεοφωνική μίξη και στερεοφωνικές εξόδους: Η έξοδος του MIX2 ονομάζεται Stereo Mix. Χρησιμοποιείται για να οδηγήσει την έξοδο HP_OUT και την LINE_OUT. Η ένταση των εξόδων αυτών ρυθμίζεται από τους καταχωρητές Headphone Volume και Master Volume αντίστοιχα, και μπορεί να πάρει τιμές από 0 db ως 45 db σε βήματα των 3 db. Η σίγαση των δύο καναλιών ήχου (αριστερό και δεξί) γίνεται ταυτόχρονα. Το Stereo Mix μπορεί επίσης να αποτελέσει είσοδο του ADC μέσω του πολυπλέκτη Record Select Mux. Τέλος, τα δύο κανάλια του Stereo Mix μπορούν να μετατραπούν σε μονοφωνικό σήμα που ονομάζεται Mono Mix και μπορεί επίσης να αποτελέσει είσοδο του ADC μέσω του ίδιου πολυπλέκτη.
- Μονοφωνική έξοδος: Σε περίπτωση που το bit MIX του General Purpose Register έχει τιμή 0, στην μονοφωνική έξοδο MONO_OUT οδηγείται η έξοδος του MIX1, αφού όμως μετατραπεί σε μονοφωνική. Σε αντίθετη περίπτωση, στην έξοδο MONO_OUT οδηγείται η είσοδος από μικρόφωνο.

5.2.1 Καταχωρητές του κωδικοποιητή ήχου LM4550

Το LM4550 διαθέτει ένα αριθμό από καταχωρητές μέσω των οποίων γίνεται ο έλεγχος του. Στον Πίνακα 5.2 συνοψίζεται το σύνολο των καταχωρητών αυτών, και δίνονται γενικές πληροφορίες όπως η διεύθυνση τους, η ονομασία κάθε bit ξεχωριστά και η προεπιλεγμένη τιμή τους.

LM4550

LM4550 Register Map																		
REG	Name	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Default
00h	Reset	X	0	0	0	1	1	0	1	0	1	0	1	0	0	0	0	0D50h
Output Volume																		
02h	Master Volume	Mute	X	X	ML4	ML3	ML2	ML1	ML0	X	X	X	MR4	MR3	MR2	MR1	MR0	8000h
04h	Headphone Volume	Mute	X	X	ML4	ML3	ML2	ML1	ML0	X	X	X	MR4	MR3	MR2	MR1	MR0	8000h
06h	Mono Volume	Mute	X	X	X	X	X	X	X	X	X	X	MM4	MM3	MM2	MM1	MM0	8000h
0Ah	PC Bloop Volume	Mute	X	X	X	X	X	X	X	X	X	X	PV3	PV2	PV1	PV0	X	0000h
0Ch	Phone Volume	Mute	X	X	X	X	X	X	X	X	X	X	GN4	GN3	GN2	GN1	GN0	8000h
0Eh	Mic Volume	Mute	X	X	X	X	X	X	X	X	20dB	X	GN4	GN3	GN2	GN1	GN0	8000h
10h	Line In Volume	Mute	X	X	GL4	GL3	GL2	GL1	GL0	X	X	X	GR4	GR3	GR2	GR1	GR0	8000h
12h	CD Volume	Mute	X	X	GL4	GL3	GL2	GL1	GL0	X	X	X	GR4	GR3	GR2	GR1	GR0	8000h
14h	Video Volume	Mute	X	X	GL4	GL3	GL2	GL1	GL0	X	X	X	GR4	GR3	GR2	GR1	GR0	8000h
16h	Aux Volume	Mute	X	X	GL4	GL3	GL2	GL1	GL0	X	X	X	GR4	GR3	GR2	GR1	GR0	8000h
18h	PCM Out Volume	Mute	X	X	GL4	GL3	GL2	GL1	GL0	X	X	X	GR4	GR3	GR2	GR1	GR0	8000h
ADC Sources																		
1Ah	Record Select	X	X	X	X	X	SL2	SL1	SL0	X	X	X	X	X	SR2	SR1	SR0	0000h
1Ch	Record Gain	Mute	X	X	X	GL3	GL2	GL1	GL0	X	X	X	X	GR3	GR2	GR1	GR0	8000h
20h	General Purpose	PCP	X	3D	X	X	X	MLX	MS	LPBK	X	X	X	X	X	X	X	0000h
22h	3D Control (Read Only)	X	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0101h
X	24h	Reserved	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0000h
26h	Powerdown Ctrl/Stat	EAPD	PF6	PF5	PF4	PF3	PF2	PF1	PF0	X	X	X	X	FEF	ANL	DAC	ADC	0000h
28h	Extended Audio ID	ID1	ID0	X	X	X	X	AMAP	0	0	0	X	X	0	X	0	VRA	X201h
2Ah	Extended Audio Control/Status	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	VRA	0000h
2Ch	PCM DAC Rate	SR15	SR14	SR13	SR12	SR11	SR10	SR9	SR8	SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0	EE80h
32h	PCM ADC Rate	SR15	SR14	SR13	SR12	SR11	SR10	SR9	SR8	SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0	EE80h
X	5Ah	Vendor Reserved 1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0000h
X	74h	Chain-In Control	X	X	X	X	X	X	X	X	X	X	X	X	X	ID1	ID0	0000h
X	7Ah	Vendor Reserved 2	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0000h
7Ch	Vendor ID1	0	1	0	0	1	1	1	0	0	1	0	1	0	0	1	1	4E53h
7Eh	Vendor ID2	0	1	0	0	0	0	1	1	0	1	0	1	0	0	0	0	4350h

Πίνακας 5.2 Οι καταχωρητές του LM4550

Ακολουθεί μία σύντομη περιγραφή κάθε καταχωρητή:

- **Reset Register (00h):** Χρησιμοποιείται για την επανεκκίνηση του LM4550 και την φόρτωση των προεπιλεγμένων τιμών. Για να γίνει επανεκκίνηση χρειάζεται να γίνει εγγραφή οποιασδήποτε τιμής στον Reset Register. Υπό κανονικές συνθήκες η τιμή του είναι πάντα σταθερή και μπορεί να ερμηνευτεί βάσει του AC97 Specification ώστε να πληροφορηθεί κάποιος για τα χαρακτηριστικά που υποστηρίζονται. Για παράδειγμα, LM4550 με National 3D Sound κυκλωμα και 18 bit ανάλυση δειγμάτων θα έχει πάντα την τιμή 0D50h, όπως φαίνεται και στον Πίνακα 5.3.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	0	0	0	1	1	0	1	0	1	0	1	0	0	0	0

Πίνακας 5.3 Ο καταχωρητής Reset Register

- **Master Volume Register (02h):** Χρησιμοποιείται για τον έλεγχο της έντασης της στερεοφωνικής εξόδου LINE_OUT. Έχει εύρος τιμών από 0 db ως 46.5 db με βήμα 1.5 db. Τα bits ML4:ML0 ελέγχουν την ένταση του αριστερού καναλιού και τα MR4:MR0 την ένταση του δεξιού. Το bit MUTE προκαλεί σίγαση και των δύο καναλιών. Προεπιλεγμένη τιμή του καταχωρητή είναι η 8000h.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MUTE	X	X	ML4	ML3	ML2	ML1	ML0	X	X	X	MR4	MR3	MR2	MR1	MR0

Πίνακας 5.4 Ο καταχωρητής Master Volume Register

- Headphone Volume Register (04h): Χρησιμοποιείται για τον έλεγχο της έντασης της στερεοφωνικής εξόδου HP_OUT. Έχει εύρος τιμών από 0 db ως 46.5 db με βήμα 1.5 db. Τα bits ML4:ML0 ελέγχουν την ένταση του αριστερού καναλιού και τα MR4:MR0 την ένταση του δεξιού. Το bit MUTE προκαλεί σίγαση και των δύο καναλιών. Προεπιλεγμένη τιμή του καταχωρητή είναι η 8000h.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MUTE	X	X	ML4	ML3	ML2	ML1	ML0	X	X	X	MR4	MR3	MR2	MR1	MR0

Πίνακας 5.5 Ο καταχωρητής Headphone Volume Register

- Mono Volume Register (06h): Χρησιμοποιείται για τον έλεγχο της έντασης της μονοφωνικής εξόδου MONO_OUT. Έχει εύρος τιμών από 0 db ως 46.5 db με βήμα 1.5 db. Τα bits MM4:MM0 ελέγχουν την ένταση του ήχου. Το bit MUTE προκαλεί σίγαση. Προεπιλεγμένη τιμή του καταχωρητή είναι η 8000h.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MUTE	X	X	X	X	X	X	X	X	X	X	MM4	MM3	MM2	MM1	MM0

Πίνακας 5.6 Ο καταχωρητής Mono Volume Register

- PC Beep Volume Register (0Ah): Μέσω του καταχωρητή αυτού γίνεται ρύθμιση της έντασης του μονοφωνικού σήματος PC_BEEP. Έχει εύρος τιμών από 0 db ως 45 db με βήμα 3 db, και η ένταση ελέγχεται μέσω των bits PV3:PV0. Το bit MUTE προκαλεί σίγαση. Προεπιλεγμένη τιμή είναι η 0000h.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MUTE	X	X	X	X	X	X	X	X	X	X	PV3	PV2	PV1	PV0	X

Πίνακας 5.7 Ο καταχωρητής PC Beep Volume Register

- Mixer Input Volume Registers (0Ch – 18h): Στις διευθύνσεις από 0Ch ως 18h βρίσκονται οι καταχωρητές οι οποίοι ελέγχουν την ένταση των εισόδων των μικτών MIX1 και MIX2, και συγκεκριμένα οι Phone Volume, Mic Volume, Line In Volume, CD Volume Video Volume, Aux Volume και PCM Out Volume Registers. Η ένταση μπορεί να πάρει τιμές εντός ενός εύρους τιμών 12 db ως 34.5 db με βήμα 1.5 db. Οι δύο πρώτοι εκ των καταχωρητών αυτών αφορούν μονοφωνικά σήματα. Η ένταση ελέγχεται μέσω των bits GN4:GN0. Το bit MUTE προκαλεί σίγαση, ενώ έχουν προεπιλεγμένη τιμή την 8008h. Στον Πίνακα 5.8 φαίνονται τα bits του καταχωρητή Phone Volume, ενώ στον Πίνακα 5.9 τα bits του Mic Volume. Η μόνη διαφορά είναι το bit 20db του Mic Volume Register, το οποίο σε περίπτωση που έχει τιμή 1, γίνεται ενίσχυση του σήματος κατά 20 db.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MUTE	X	X	X	X	X	X	X	X	X	X	GN4	GN3	GN2	GN1	GN0

Πίνακας 5.8 Ο καταχωρητής Phone Volume Register

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MUTE	X	X	X	X	X	X	X	X	20db	X	GN4	GN3	GN2	GN1	GN0

Πίνακας 5.9 Ο καταχωρητής Mic Volume Register

Οι υπόλοιποι καταχωρητές της ομάδας αυτής, δηλαδή οι Line In Volume, CD Volume Video Volume, Aux Volume και PCM Out Volume Registers, αφορούν στερεοφωνικά σήματα. Το επίπεδο της έντασης μπορεί να πάρει διαφορετική τιμή ανά κανάλι, και ρυθμίζεται μέσω των bits GL4:GL0 όσον αφορά το αριστερό κανάλι, και μέσω των GR4:GR0 όσον αφορά το δεξί. Το bit MUTE προκαλεί σίγαση και στα δύο κανάλια. Προεπιλεγμένη τιμή είναι η 8808h. Στον Πίνακα 5.10 φαίνονται τα bits των καταχωρητών αυτών.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MUTE	X	X	GL4	GL3	GL2	GL1	GL0	X	X	X	GR4	GR3	GR2	GR1	GR0

Πίνακας 5.10 Οι καταχωρητές επιπέδου έντασης στερεοφωνικών σημάτων

- Record Select Register (1Ah): Μέσω του καταχωρητή αυτού γίνεται έλεγχος της εισόδου του στερεοφωνικού ADC. Σε κάθε κανάλι μπορεί να οδηγηθεί διαφορετικό σήμα σαν είσοδος. Η είσοδος του αριστερού καναλιού ελέγχεται από τα bits SL2:SL0, ενώ του δεξιού από τα SR2:SR0. Με την ακολουθία 000b επιλέγεται ως είσοδος το μικρόφωνο, με την 001b επιλέγεται η είσοδος CD, με την 010b είναι είσοδος το Video, με 011b έχουμε την Aux είσοδο, η 100b ορίζει ως είσοδο το Line In, με 101b ενεργοποιείται η στερεοφωνική μίξη, με 110b ενεργοποιείται η μονοφωνική μίξη και τέλος με 111b έχουμε την είσοδο Phone. Προεπιλεγμένη τιμή είναι η 0000h.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	SL2	SL1	SL0	X	X	X	X	X	SR2	SR1	SR0

Πίνακας 5.11 Ο καταχωρητής Record Select Register

- Record Gain Register (1Ch): Χρησιμοποιείται για τον έλεγχο της έντασης των δύο καναλιών εισόδου του στερεοφωνικού ADC. Αυτό επιτυγχάνεται μέσω των bits GL3:GL0 για το αριστερό κανάλι, και των GR3:GR0 για το δεξί. Έχει εύρος τιμών από 0 db ως 22.5 db με βήμα 1.5 db. Το bit MUTE προκαλεί σίγαση και των δύο καναλιών. Προεπιλεγμένη τιμή είναι η 8000h.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MUTE	X	X	X	GL3	GL2	GL1	GL0	X	X	X	X	GR3	GR2	GR1	GR0

Πίνακας 5.12 Ο καταχωρητής Record Gain Register

- **General Purpose Register (20h):** Τα bits του καταχωρητή φαίνονται στον πίνακα []. Το bit POP επιτρέπει την παράκαμψη του National 3D Sound κυκλώματος, σε περίπτωση που έχει τιμή 1, ενώ μέσω του bit 3D γίνεται ενεργοποίηση (τιμή 1) ή απενεργοποίηση (τιμή 0) του 3D κυκλώματος. Σε περίπτωση που το bit MIX έχει τιμή 1, οδηγείται στην μονοφωνική έξοδο MONO_OUT η είσοδος από μικρόφωνο, ενώ σε αντίθετη περίπτωση η έξοδος του μίκτη. Με το bit MS γίνεται επιλογή του μικροφώνου που θα περάσει σαν είσοδος (MIC2 αν MS = 1, MIC1 αν MS = 0). Τέλος, τιμή 1 στο bit LPBK έχει ως αποτέλεσμα να οδηγείται απευθείας στην έξοδο η είσοδος. Προεπιλεγμένη τιμή είναι η 0000h.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
POP	X	3D	X	X	X	MIX	MS	LPBK	X	X	X	X	X	X	X

Πίνακας 5.13 Ο καταχωρητής General Purpose Register

- **3D Control Register (22h):** Πρόκειται για έναν καταχωρητή που επιτρέπεται μόνο η ανάγνωση. Έχει μόνιμα την τιμή 0101h και δείχνει τα χαρακτηριστικά του υποσυστήματος National 3D Sound.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

Πίνακας 5.14 Ο καταχωρητής 3D Control Register

- **Powerdown Control/Status Register (26h):** Τα 4 λιγότερο σημαντικά ψηφία δείχνουν την ετοιμότητα του ADC (bit ADC), του DAC (bit DAC), των αναλογικών μικτών (bit ANL) καθώς και την ύπαρξη σωστής τάσης αναφοράς (bit REF). Τιμή 1 σε αυτά τα bits υποδηλώνει ετοιμότητα. Τα 8 περισσότερο σημαντικά ψηφία PR6:PR0 και EAPD χρησιμοποιούνται για τον έλεγχο του τερματισμού λειτουργίας των επιμέρους υποσυστημάτων. Τιμή 1 σε αυτά οδηγεί σε τερματισμό του αντίστοιχου υποσυστήματος. Συγκεκριμένα, το bit PR0 ελέγχει τους ADC και τον πολυπλέκτη Record Select Mux. Το PR1 ελέγχει τους DAC, το PR2 τα κυκλώματα μίξης (MIX1, MIX2, National 3D Sound, Mono Out, Line Out) ενώ το PR3 ελέγχει τα ίδια κυκλώματα με το PR2 με την προσθήκη της τάσης αναφοράς. Το bit PR4 προκαλεί τερματισμό λειτουργίας της σειριακής διεπαφής AC Link (περισσότερες πληροφορίες για το AC Link στην ενότητα []). Το bit PR5 απενεργοποιεί τα εσωτερικά ρολόγια και τέλος, το PR6 σταματά την ενίσχυση της εξόδου προς τα ακουστικά. Το bit EAPD ελέγχει την εξωτερική ενίσχυση. Προεπιλεγμένη τιμή είναι η 000Xh.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
EAPD	PR6	PR5	PR4	PR3	PR2	PR1	PR0	X	X	X	X	REF	ANL	DAC	ADC

Πίνακας 5.15 Ο καταχωρητής Powerdown Control/Status Register

- **Extended Audio In Register (28h):** Πρόκειται για έναν καταχωρητή που επιτρέπεται μόνο η ανάγνωση. Έχει μόνιμα την τιμή X201h και δείχνει ποιες από τις λειτουργίες της επεκταμένης προδιαγραφής του AC97 έχουν υλοποιηθεί στο LM4550.
- **Extended Audio Status/Control Register (2Ah):** Χρησιμοποιείται για την εποπτεία και τον έλεγχο της λειτουργίας μεταβλητής συχνότητας δειγματοληψίας (Variable Sample Rate - VRA). Τιμή 1 στο bit VRA ενεργοποιεί την λειτουργία αυτή και επιτρέπει την ρύθμιση των συχνοτήτων δειγματοληψίας του DAC και του ADC μέσω των καταχωρητών Sample Rate Control Registers. Προεπιλεγμένη τιμή η 0000h.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	VRA

Πίνακας 5.16 Ο καταχωρητής Extended Audio Status/Control Register

- Sample Rate Control Registers (2Ch και 32h): Ο καταχωρητής PCM DAC Rate (2Ch) ελέγχει τον ρυθμό δειγματοληψίας του DAC, ενώ ο PCM ADC Rate (32h) τον ρυθμό δειγματοληψίας του ADC, εφόσον όμως έχει ενεργοποιηθεί η λειτουργία μέσω του Extended Audio Status/Control Register.

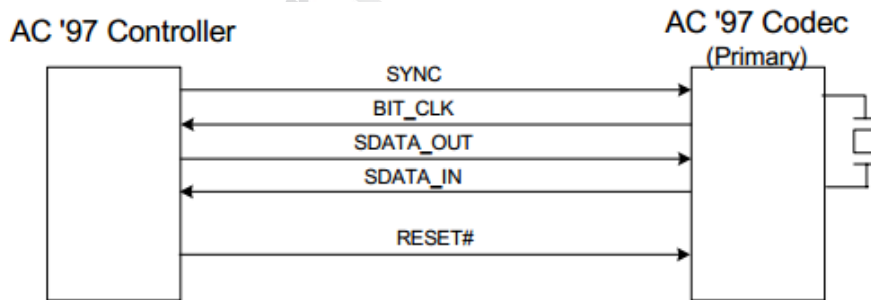
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SR15	SR14	SR13	SR12	SR11	SR10	SR9	SR8	SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0

Πίνακας 5.17 Οι καταχωρητές Sample Rate Control Registers

- Vendor ID Registers (7Ch και 7Eh): Πρόκειται για καταχωρητές στους οποίους επιτρέπεται μόνο η ανάγνωση και περιέχουν μοναδικά αναγνωριστικά της κατασκευάστριας εταιρείας του LM4550 (National Semiconductors) και της έκδοσης του συγκεκριμένου ολοκληρωμένου.

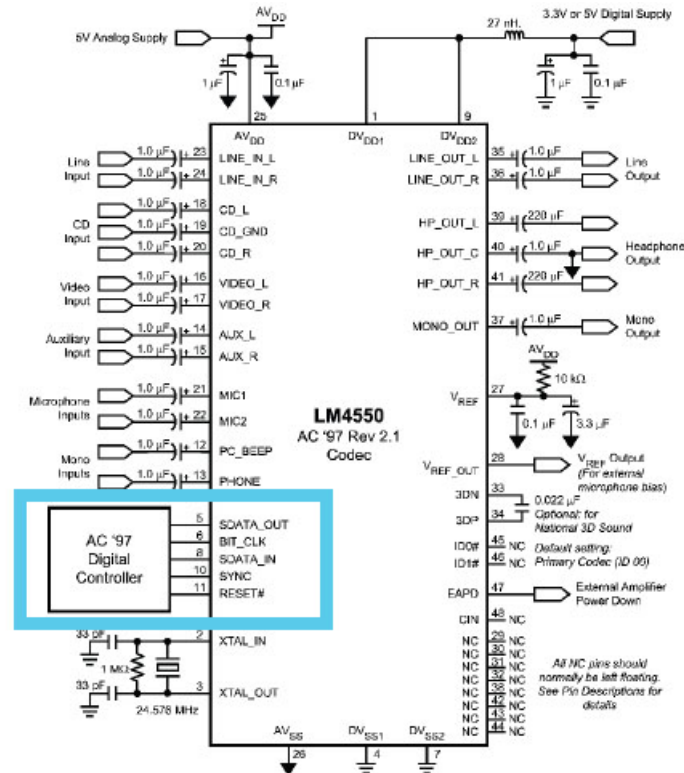
5.2.2 Επικοινωνία με το LM4550 – AC-Link

Η επικοινωνία κάθε ολοκληρωμένου κυκλώματος συμβατού με το πρότυπο AC97 με τον εκάστοτε ψηφιακό ελεγκτή του γίνεται μέσω του ψηφιακού interface AC-Link. Το AC-Link ορίζεται από την προδιαγραφή του AC97 και έχει σχεδιαστεί έτσι ώστε να υποστηρίζει επικοινωνία μεταξύ ενός ελεγκτή με έως τέσσερις κωδικοποιητές. Πρόκειται για σειριακό interface το οποίο υλοποιείται μέσω τεσσάρων σημάτων, των SYNC, BIT_CLK, SDATA_OUT, SDATA_IN και RESET. Στο Σχήμα 5.3 φαίνεται η πιο απλή συνδεσμολογία, αυτή που απαιτείται για την επικοινωνία ενός κωδικοποιητή με έναν ψηφιακό ελεγκτή.



Σχήμα 5.3 Σύνδεση AC97 Codec με AC97 Controller μέσω AC Link

Στο Σχήμα 5.4 φαίνεται σε ποιους ακριβώς ακροδέκτες του LM4550 πρέπει να συνδεθεί ο ψηφιακός ελεγκτής.



Σχήμα 5.4 Σύνδεση AC97 Controller με το LM4550

Συγκεκριμένα, το σήμα BIT_CLK αποτελεί έξοδο του κωδικοποιητή και πρόκειται για ένα ρολόι συχνότητας 12.288 Mhz. Παρέχεται από τον κωδικοποιητή προς τον ψηφιακό ελεγκτή για τις ανάγκες συγχρονισμού μεταξύ των δύο πλευρών.

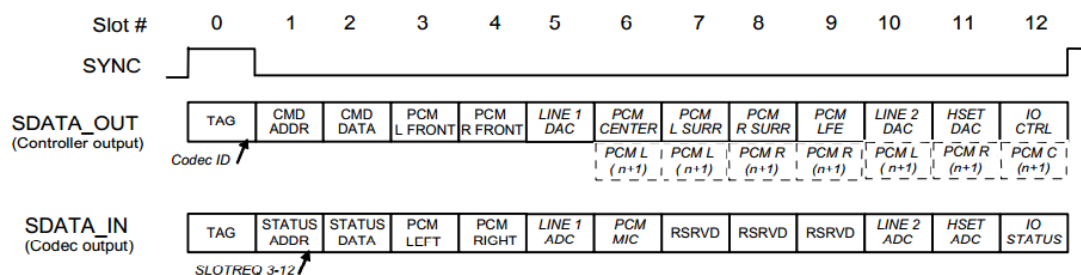
Το σήμα SDATA_OUT αποτελεί είσοδο του κωδικοποιητή. Μέσω αυτού μεταφέρονται πληροφορίες ελέγχου και δεδομένα ήχου από τον ψηφιακό ελεγκτή προς τον κωδικοποιητή LM4550. Η δειγματοληψία γίνεται στην θετική ακμή του ρολογιού BIT_CLK.

Το σήμα SDATA_IN αποτελεί έξοδο του κωδικοποιητή. Μέσω αυτού μεταφέρονται πληροφορίες ελέγχου και δεδομένα ήχου από τον κωδικοποιητή LM4550 προς τον ψηφιακό ελεγκτή. Η δειγματοληψία γίνεται στην αρνητική ακμή του ρολογιού BIT_CLK.

Το σήμα SYNC χρησιμοποιείται για την σηματοδότηση της αρχής καινούριου πλαισίου δεδομένων. Καθώς κάθε πλαίσιο έχει μήκος 256 bits, εύκολα προκύπτει πως η συχνότητα του SYNC είναι σταθερή στα 48 KHz. Έχει κύκλο λειτουργίας 6.25%, δηλαδή το σήμα SYNC αναμένεται να έχει τιμή ίση με 1 για τα 16 πρώτα bits κάθε πλαισίου δεδομένων ($16/256 = 0.0625$). Η δειγματοληψία του γίνεται στην θετική ακμή του ρολογιού BIT_CLK, ενώ σε περίπτωση που πάρει τιμή 1 χωρίς να έχουν ολοκληρωθεί οι 256 κύκλοι που διαρκεί κάθε πλαίσιο, αγνοείται.

Το σήμα RESET χρησιμοποιείται για την επανεκκίνηση του LM4550 και την επαναφορά όλων των εσωτερικών καταχωρικών στην αρχική τους κατάσταση.

Το AC-Link είναι ένα σταθερού ρολογιού, αμφίδρομης επικοινωνίας σειριακό πρωτόκολλο. Για να επιτευχθεί αυτό γίνεται πολυπλεξία με διαίρεση χρόνου (Time Division Multiplexing - TDM) κατά την οποία ορίζονται 12 εισερχόμενες και 12 εξερχόμενες χρονοθυρίδες, κάθε μία με ανάλυση 20 bits. Επίσης, ορίζεται και μία χρονοθυρίδα ανάλυσης 16 bits, η οποία χρησιμοποιείται για να υποδεικνύει το κατά πόσο κάθε μία από τις ερχόμενες ακολουθίες bits περιέχουν έγκυρα δεδομένα.



Σχήμα 5.5 Οι χρονοθυρίδες του AC Link

Στον Πίνακα 5.18 συνοψίζονται οι χρονοθυρίδες που απαρτίζουν τα εισερχόμενα προς τον ελεγκτή πλαίσια δεδομένων, ενώ στον Πίνακα 5.19 αυτές που απαρτίζουν τα εξερχόμενα πλαίσια δεδομένων.

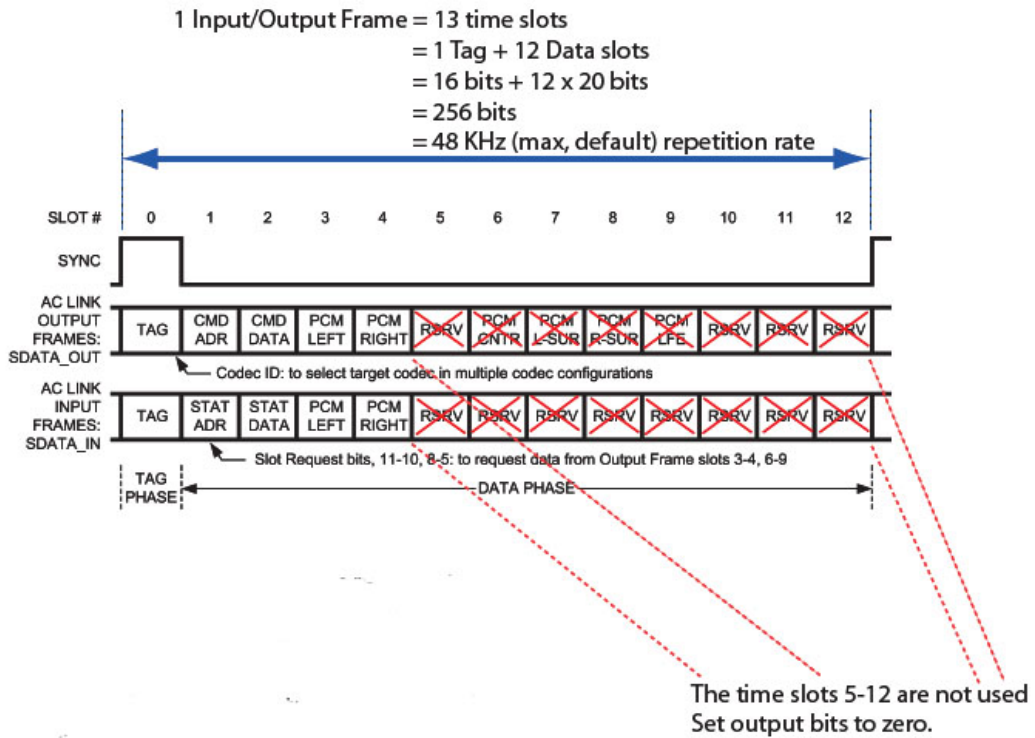
Χρονοθυρίδα	Όνομα	Περιγραφή
0	SDATA_IN TAG	Σήμανση έγκυρων χρονοθυρίδων
1	STATUS ADDR read port	Διεύθυνση καταχωρητή προς ανάγνωση
2	STATUS DATA read port	Δεδομένα καταχωρητή προς ανάγνωση
3,4	PCM L&R ADC record	Δεδομένα ήχου αριστερού και δεξιού καναλιού
5	Modem Line 1 ADC	Δεδομένα από modem γραμμής 1
6	Dedicated Microphone ADC	Δεδομένα από μικρόφωνο
7,8,9	Vendor Reserved	Δεσμευμένες χρονοθυρίδες για διαφορετική χρήση από κάθε κατασκευαστή
10	Modem Line 2 ADC	Δεδομένα από modem γραμμής 2
11	Modem Handset input ADC	Δεδομένα από handset
12	Modem IO status	Κατάσταση Modem IO

Πίνακας 5.18 Οι εισερχόμενες προς τον AC97 ελεγκτή χρονοθυρίδες

Χρονοθυρίδα	Όνομα	Περιγραφή
0	SDATA_OUT TAG	Σήμανση έγκυρων χρονοθυρίδων και κωδικοποιητή στον οποίο αποστέλονται τα δεδομένα
1	Control CMD ADDR write port	Διεύθυνση καταχωρητή προς εγγραφή
2	Control DATA write port	Δεδομένα καταχωρητή προς εγγραφή
3,4	PCM L&R DAC playback	Δεδομένα ήχου προς αριστερό και δεξί κανάλι
5	Modem Line 1 DAC	Δεδομένα προς modem γραμμής 1
6,7,8,9	PCM Center, Surround l&R, LFE	Δεδομένα προς κανάλια Center, Surround l&R, LFE
10	Modem Line 2 DAC	Δεδομένα προς modem γραμμής 2
11	Modem handset DAC	Δεδομένα προς modem handset
12	Modem IO control	Δεδομένα προς θύρα ελέγχου modem

Πίνακας 5.19 Οι εξερχόμενες από τον AC97 ελεγκτή χρονοθυρίδες

Σημειώνεται πως στην έκδοση του LM4550 που έχει χρησιμοποιηθεί στην αναπτυξιακή πλακέτα ML403 δεν χρησιμοποιούνται οι χρονοθυρίδες 5 έως 12 καθώς δεν υπάρχει συνδεδεμένο modem. Για λόγους συμβατότητας όμως με το πρωτόκολλο, οι συγκεκριμένες χρονοθυρίδες δεν παραλείπονται, αλλά παίρνουν όλες την τιμή 0, όπως φαίνεται και στο Σχήμα 5.5.



Σχήμα 5.5 Οι AC Link χρονοθυρίδες του LM4550

6

Υλοποίηση εφαρμογής

6.1 Εισαγωγή

Σκοπός της εφαρμογής ήταν η ανάπτυξη ενός συστήματος με στόχο τον διαχωρισμό ομιλίας από μουσική σε μία ροή ήχου. Απαραίτητη προϋπόθεση του αλγόριθμου που υλοποιήθηκε ήταν η κατάτμηση της ροής ήχου σε πλαίσια όσο το δυνατόν πιο κοντά στα 50 ms. Με δεδομένο πως ο FFT μπορούσε – λόγω μεγέθους FPGA – να είναι το πολύ 1024 σημείων, επιλέχθηκε συχνότητα δειγματοληψίας $F_s = 20.5\text{KHz}$. Επιλέγοντας την συχνότητα αυτή πετυχαίνουμε περίοδο δειγματοληψίας:

$$T_s = \frac{1}{F_s} = \frac{1}{20500} = 4.88 \text{ ms} \quad \text{Σχέση 6.1}$$

Έτσι, τα 1024 δείγματα θα συνιστούν ένα πλαίσιο διάρκειας:

$$1024 \times T_s = 1024 \times 4.88 \text{ ms} = 49.97 \text{ ms} \quad \text{Σχέση 6.2}$$

Η υλοποίηση της εφαρμογής έγινε απευθυνόμενη στην αναπτυξιακή πλακέτα Xilinx ML403, με χρήση των εργαλείων της σουίτας ISE Design Suite (έκδοση 14.5) και μπορεί να χωριστεί σε 4 μέρη:

1. Την ανάπτυξη ενός ελεγκτή για τον AC97 κωδικοποιητή/αποκωδικοποιητή ήχου.
2. Την ανάπτυξη ενός IP core, το οποίο ονομάστηκε SMD (εκ του Speech Music Discrimination) το οποίο υλοποιεί μέρος του αλγόριθμου διαχωρισμού.
3. Την σχεδίαση του τελικού συστήματος σε επίπεδο υλικού μέσω του XPS
4. Την ανάπτυξη λογισμικού στο SDK το οποίο ολοκληρώνει τον αλγόριθμο και παρέχει μία υποτυπώδη διεπαφή με τον χρήστη.

Παρακάτω παρατίθενται λεπτομέρειες για κάθε ένα από τα στάδια αυτά.

6.2 Ελεγκτής AC97

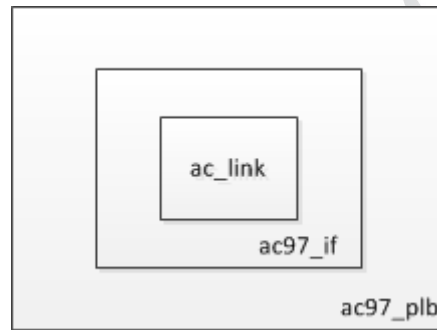
Στα πλαίσια της παρούσας εργασίας αναπτύχθηκε ελεγκτής για τον κωδικοποιητή/αποκωδικοποιητή ήχου LM4550 που υπάρχει στην ML403. Ο ελεγκτής (ac97_plb) επικοινωνεί με το ολοκληρωμένο μέσω του σειριακού interface AC Link (λεπτομέρειες σχετικά με το AC Link στο Κεφάλαιο 5.2.2). Διαθέτει επίσης διεπαφή για την σύνδεσή του σε δίαυλο PLB ως slave (περισσότερες πληροφορίες για τον δίαυλο PLB στο Κεφάλαιο 4.4.1).

Η ανάπτυξη του ελεγκτή έγινε σε VHDL. Το κομμάτι που αφορά την σύνδεση μέσω AC Link με το LM4550 έγινε στον ISE Project Navigator. Η διεπαφή για PLB δημιουργήθηκε μέσω του Create and Import Wizard του XPS και κατόπιν ενσωματώθηκε στο υπόλοιπο core. Επαλήθευση της σχεδίασης έγινε αρχικά, και όσο αφορά το AC Link, με προσομοίωση στο ISim και αργότερα, όταν ο ελεγκτής πήρε την τελική του μορφή, με παρατήρηση των σημάτων σε πραγματικό χρόνο μέσω του ChipScope Pro. Απαρτίζεται από τα εξής 3 αρχεία: ac_link.vhd, ac97_if.vhd και ac97_plb.vhd.

Το `ac_link.vhd` αποτελεί την υλοποίηση του AC Link interface, όπως αυτό περιγράφεται στην προδιαγραφή του προτύπου AC97. Χρησιμοποιείται για την επικοινωνία με τον κωδικοποιητή/αποκωδικοποιητή LM4550 με σκοπό τον έλεγχο του και την ανάγνωση των συλλεχθέντων δειγμάτων ήχου.

Το `ac97_if.vhd` προσθέτει καταχωρητές προσπελάσιμους από το λογισμικό, καθώς και λογική με την οποία ανανεώνονται τα σήματα εξόδου με έγκυρη πληροφορία. Ο κωδικοποιητής/αποκωδικοποιητής στέλνει πλαίσια δεδομένων με σταθερή συχνότητα 48KHz (για περισσότερες πληροφορίες σχετικά με τα δεδομένα αυτά στο κεφάλαιο 5.2.2). Καθώς όμως η συχνότητα δειγματοληψίας είναι μικρότερη, αρκετά από τα πλαίσια δεδομένων περιέχουν μη έγκυρα δεδομένα. Η πρώτη χρονοθυρίδα κάθε πλαισίου δεδομένων υποδεικνύει μέσω συγκεκριμένων bits την εγκυρότητα των δεδομένων που πρόκειται να αποσταλούν. Το `ac97_if` εκμεταλλευόμενο τα bits αυτά τροφοδοτεί το σύστημα διαχωρισμού με έγκυρα δεδομένα.

Το `ac97_plb.vhd` αποτελεί το υψηλότερο επίπεδο της σχεδίασης, και προσθέτει την απαραίτητη λογική ώστε να συνθεθεί το core στον διάυλο PLB. Η ιεραρχία και η δομή του ψηφιακού ελεγκτή `ac97` φαίνεται στο ακόλουθο Σχήμα 6.1.



Σχήμα 6.1 Δομή ελεγκτή `ac97_plb`

Ο ελεγκτής διαθέτει 8 memory-mapped καταχωρητές τους οποίους μπορεί να προσπελάσει το λογισμικό μέσω του PLB. Μέσω αυτών μπορεί το λογισμικό να ελέγξει και να λάβει δεδομένα από το codec. Στον Πίνακα 6.1 καταγράφονται οι καταχωρητές αυτοί και δίνεται η διεύθυνσή τους (offset) σε σχέση με την διεύθυνση βάσης (base address) του περιφερειακού καθώς και τα περιεχόμενά τους. Η σύμβαση που έχει χρησιμοποιηθεί για την bit αναπαράσταση είναι από 0 έως 31, όπου 0 το περισσότερο σημαντικό bit (Most Important Bit - MSB). Η ένδειξη R/W δείχνει αν το εκάστοτε πεδίο αφορά ανάγνωση από τον κωδικοποιητή ή εγγραφή σε αυτόν.

Offset	Όνομα	Περιεχόμενα		
		Θέση	Περιγραφή	R/W
0x00	ADDR	17:23	Διεύθυνση επιστρεφόμενου καταχωρητή	R
		24	Τύπος προσπέλασης επόμενου AC97 πλαισίου (εγγραφή ή ανάγνωση)	W
		25:31	Διεύθυνση ζητούμενου καταχωρητή	W
0x04	DATA	0-15	Δεδομένα καταχωρητή	R
		16:31	Δεδομένα καταχωρητή	W
0x08	PCM_OUT_L	12:31	PCM δεδομένα αριστερού καναλιού	W
0x0C	PCM_OUT_R	12:31	PCM δεδομένα δεξιού καναλιού	W
0x10	PCM_IN_L	0:19	PCM δεδομένα αριστερού καναλιού	R
0x14	PCM_IN_R	0:19	PCM δεδομένα δεξιού καναλιού	R
0x18	CONTROL	16:28	Bits που υποδεικνύουν την εγκυρότητα των θυρίδων του επόμενου AC97 πλαισίου (Output AC97 Slot 0)	W
		30:31	ID κωδικοποιητή	W

0x1C	STATUS	0:15	Bits που υποδεικνύουν την εγκυρότητα των θυρίδων του επόμενου AC97 πλαισίου (Input AC97 Slot 0)	R
		16	Bit συγχρονισμού μεταξύ HW και SW	R/W
		20:29	Bits μέσω των οποίων το codec ζητά έγκυρα δεδομένα στο επόμενο AC97 πλαίσιο	R

Πίνακας 6.1 Οι προσπελάσιμοι από το λογισμικό καταχωρητές του ac97_plb

Ο ελεγκτής AC97 παράγει επίσης σήμα με όνομα IRQ το οποίο υποδηλώνει ότι υπάρχουν διαθέσιμα εισερχόμενα έγκυρα PCM δεδομένα, και μπορεί να χρησιμοποιηθεί ως διακοπή στο λογισμικό που εκτελείται στον PowerPC 405. Η διακοπή είναι ακμοπυροδότητη θετικής κατεύθυνσης.

Στον Πίνακα 6.2 καταγράφονται οι εισόδοι και έξοδοι του AC97 controller που υλοποιήθηκε. Δίνονται πληροφορίες σχετικά με το όνομα, μέγεθος, κατεύθυνση (I/O) των σημάτων. Επίσης παρατίθεται μία σύντομη περιγραφή και μία ένδειξη αν τα σήματα συνδέονται εξωτερικά με άλλα σήματα (με φυσικά σήματα της πλακέτας). Αυτή η πληροφορία θα χρειαστεί κατά την δημιουργία του συστήματος στο XPS, οπότε θα γίνουν και όλες οι απαραίτητες συνδέσεις. Σημειώνεται επίσης πως δεν υπάρχει σήμα ρολογιού αποκλειστικά αφιερωμένο στον ελεγκτή. Σαν ρολόι χρησιμοποιείται το ρολόι 100 Mhz του PLB. Δεν κρίθηκε πως χρειάζεται η χρήση άλλου (πιο γρήγορου ρολογιού), καθώς τα 100 MHz είναι πολλές φορές γρηγορότερα του ρυθμού δειγματοληψίας PCM δεδομένων 20.5 KHz που έχει χρησιμοποιηθεί.

Όνομα	I/O	Μέγεθος	Περιγραφή	In/Ex
BIT_CLK	I	1	Σήμα ρολογιού 12.288 Mhz	Ex
SDATA_IN	I	1	Εισερχόμενη ακολουθία bit από codec	Ex
SDATA_OUT	O	1	Εξερχόμενη ακολουθία bit προς codec	Ex
SYNC	O	1	Σήμα 48 KHz για συγχρονισμό controller - codec	Ex
RESET	O	1	Σήμα reset προς codec	Ex
IRQ	O	1	Σήμα διακοπής προς PowerPC	In
lchannel	O	19:0	Εισερχόμενα από codec δεδομένα αριστερού καναλιού	In
rchannel	O	19:0	Εισερχόμενα από codec δεδομένα δεξιού καναλιού	In
channels_valid	O	1	Ταυτόχρονη ύπαρξη έγκυρων δεδομένων στα 2 κανάλια	In
rst	I	1	Σήμα reset προς controller	In

<Σήματα PLB Slave Interface>

Πίνακας 6.2 Οι εισόδοι/έξοδοι του ac97_plb

6.3 Speech Music Discrimination IP core

Το Speech Music Discrimination IP core (SMD) δέχεται ως εισόδους τα δείγματα που συλλέγει το AC97 codec καθώς και άλλα σήματα ελέγχου, υπολογίζει τον FFT 1024 δειγμάτων, υπολογίζει το μέτρο των δειγμάτων εξόδου του FFT, το εγγράφει σε μία μνήμη BRAM και ενημερώνει την εφαρμογή που εκτελείται στο λογισμικό για το τέλος της εγγραφής (ώστε να γίνει ανάγνωση των δεδομένων).

Τα σήματα εισόδου/εξόδου του core καταγράφονται στον Πίνακα 6.3.

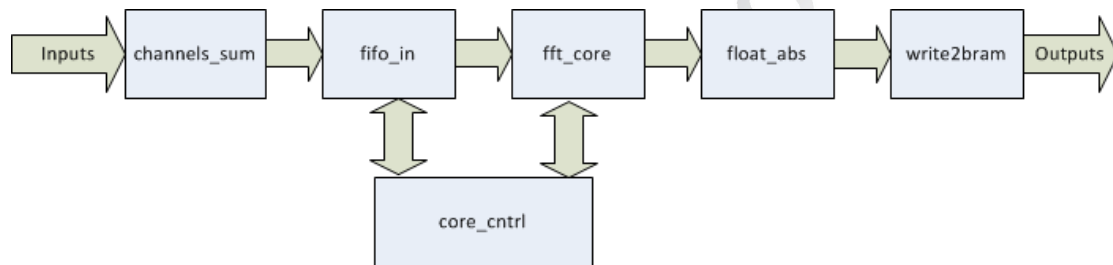
Όνομα	I/O	Μέγεθος	Περιγραφή
channels_valid	I	1	Ύπαρξη έγκυρων δεδομένων ήχου
clk	I	1	Σήμα ρολογιού
left_channel	I	19:0	Δεδομένα ήχου αριστερού καναλιού
right_channel	I	19:0	Δεδομένα ήχου δεξιού καναλιού

rst	I	1	Σήμα reset
bram_addr	O	0:31	Διεύθυνση BRAM στην οποία γίνεται προσπέλαση
bram_dout	O	0:31	Δεδομένα προς εγγραφή στην BRAM
bram_en	O	1	Σήμα ενεργοποίησης BRAM
bram_wen	O	0:3	Σήμα που ενεργοποιεί την εγγραφή στην BRAM. Μεγέθους 4 bits, 1 για κάθε byte.
wr_done	O	1	Σήμα διακοπής προς PowerPC. Υποδηλώνει το τέλος εγγραφής 1024 απόλυτων τιμών (μέτρων) της εξόδου του FFT.

Πίνακας 6.3 Οι εισοδοί/εξοδοί του smd

Σαν ρολόι χρησιμοποιείται το σήμα ρολογιού του PLB συχνότητας 100 MHz. Η σύνθεση του core αναφέρει πως μέγιστη συχνότητα λειτουργίας που μπορεί να επιτευχθεί είναι 150 MHz.

Στο Σχήμα 6.2 φαίνεται η αρχιτεκτονική του core.



Σχήμα 6.2 Αρχιτεκτονική smd core

Τα δείγματα εισέρχονται, αθροίζονται (ώστε να υπολογιστεί έμμεσα ο μέσος όρος των δύο καναλιών) και κατόπιν μέσω μιας FIFO προωθούνται στο FFT core. Η FIFO υπάρχει ώστε να μην χαθούν δείγματα κατά την διάρκεια υπολογισμού του FFT, οπότε και δεν θα είναι δύνατη η άμεση προώθηση των δειγμάτων στο core. Μόλις τελειώσει ο υπολογισμός του φάσματος συχνοτήτων του πλαισίου ήχου γίνεται υπολογισμός του μέτρου κάθε μιγαδικού αριθμού – σημείο της εξόδου. Τα μέτρα που υπολογίζονται είναι 1024, όσα και τα σημεία του FFT, και εγγράφονται σε μνήμη BRAM. Η μνήμη αυτή είναι διαμοιρασμένη με το λογισμικό που εκτελείται στον PowerPC. Μόλις ολοκληρωθεί η εγγραφή παράγεται σήμα το οποίο χρησιμοποιείται ως διακοπή (ακμοπυροδότητη θετικής κατεύθυνσης) από το λογισμικό ώστε να γίνει ανάγνωση έγκυρων δεδομένων. Τα δεδομένα αυτά θα χρησιμοποιηθούν από τον αλγόριθμο για τον υπολογισμό των χαρακτηριστικών του πλαισίου, όπως αυτά περιγράφονται στο Κεφάλαιο 1.3.

Διακρίνονται τα ακόλουθα blocks:

- 1) `fft_core`: Πραγματοποιεί τον μετασχηματισμό FFT 1024 σημείων. Έχει χρησιμοποιηθεί αναπαράσταση σταθερής υποδιαστολής 18.8. Το φανταστικό μέρος της εισόδου είναι μόνιμα 0. Έχει τα ακόλουθα σήματα εισόδου/εξόδου:

Όνομα	I/O	Μέγεθος	Περιγραφή
<code>xn_re</code>	I	25:0	Το πραγματικό μέρος των δεδομένων εισόδου σε μορφή συμπληρώματος ως προς 2.
<code>xn_im</code>	I	25:0	Το φανταστικό μέρος των δεδομένων εισόδου σε μορφή συμπληρώματος ως προς 2.
<code>fwd_inv</code>	I	1	Αν έχει τιμή 1 τότε εκτελείται ευθύς FFT, αλλιώς εκτελείται αντίστροφος FFT
<code>fwd_inv_we</code>	I	1	Πρέπει να πάρει τιμή 1 ώστε να γίνει δυνατή η επιλογή μεταξύ ευθύ

			και αντίστροφου FFT.
sclr	I	1	Σήμα σύγχρονου reset
start	I	1	Πρέπει να πάρει τιμή 1 ώστε να ξεκινήσει η φόρτωση δεδομένων και ο υπολογισμός FFT.
unload	I	1	Πρέπει να πάρει τιμή 1 ώστε να ξεκινήσει η εκφόρτωση των δεδομένων εξόδου.
clk	I	1	Σήμα ρολογιού
ce	I	1	Ενεργοποίηση ρολογιού
xk_re	O	36:0	Το πραγματικό μέρος των δεδομένων εξόδου σε μορφή συμπληρώματος ως προς 2.
xk_im	O	36:0	Το φανταστικό μέρος των δεδομένων εξόδου σε μορφή συμπληρώματος ως προς 2.
xn_index	O	9:0	Μετρητής εισερχομένων δεδομένων (0-1023)
xk_index	O	9:0	Μετρητής εξερχομένων δεδομένων (0-1023)
busy	O	1	Λαμβάνει την τιμή 1 κατά την διάρκεια του μετασχηματισμού FFT.
edone	O	1	Λαμβάνει την τιμή 1 για ένα κύκλο ρολογιού ακριβώς 1 κύκλο ρολογιού πριν την ολοκλήρωση του μετασχηματισμού.
done	O	1	Λαμβάνει την τιμή 1 για ένα κύκλο ρολογιού ακριβώς 1 κύκλο ρολογιού μόλις ολοκληρωθεί ο μετασχηματισμός.
dv	O	1	Έχει την τιμή 1 για όσο διάστημα υπάρχουν έγκυρα δεδομένα στην έξοδο του core.
rfd	O	1	Παίρνει την τιμή 1 κατά την διάρκεια της φόρτωσης δεδομένων.

Πίνακας 6.4 Οι είσοδοι/έξοδοι του fft_core

Το fft_core έχει υλοποιηθεί με τον CORE Generator. Πρόκειται για το IP Fast Fourier Transform v7.1. Έγιναν οι ακόλουθες ρυθμίσεις κατά την δημιουργία του:

Page 1

Channels: 1
 Transform Length: 1024
 Target Clock Frequency: 250
 Radix-2 Lite, Burst I/O

Page 2

Data Format: Fixed Point
 Input Data Width: 26
 Phase Factor Width: 17
 Scaling: Unscaled
 Rounding: Truncation
 Optional Pins: CE, SCLR
 Output Ordering: Natural Order
 Input Data Timing: No Offset

Page 3

Data: Block RAM
 Phase Factors: Block RAM
 Complex Multipliers: Use 4-multiplier structure
 Butterfly Arithmetic: Use XtremeDSP Slices

- 2) `channel_sum`: Προσθέτει τα δεδομένα των δύο καναλιών. Τα δεδομένα είναι σε μορφή συμπληρώματος ως προς 2. Έχει 2 εξόδους: το τελικό άθροισμα είναι μεγέθους 26 bits. Τα bits 26:7 αντιστοιχίζονται στα 19 bits του αθροίσματος των δύο καναλιών. Τα υπόλοιπα 7 παίρνουν την τιμή 0. Με δεδομένο πως το σήμα αυτό θα οδηγηθεί στο `fft_core` του οποίου τα δεδομένα εισόδου είναι σε αναπαράσταση σταθερής υποδιαστολής 18.8, είναι εύκολα αντλητό πως με την αντιστοίχιση αυτή έχουμε διαιρέσει κατά 2 το άθροισμα. Η δε'υτερη έξοδος υποδηλώνει το τέλος της άθροισης και χρησιμοποιείται σαν σήμα ελέγχου εγγραφής στον FIFO. Στον Πίνακα 6.5 φαίνονται τα σήματα εισόδου/εξόδου:

Όνομα	I/O	Μέγεθος	Περιγραφή
<code>clk</code>	I	1	Σήμα ρολογιού
<code>rst</code>	I	1	Σήμα reset
<code>right_channel</code>	I	17:0	Δεδομένα ήχου αριστερού καναλιού
<code>left_channel</code>	I	17:0	Δεδομένα ήχου δεξιού καναλιού
<code>channels_valid</code>	I	1	Ύπαρξη έγκυρων δεδομένων ήχου
<code>add_done</code>	O	1	Παλμός που υποδηλώνει το τέλος άθροισης δεδομένων
<code>channel_sum</code>	O	26:0	Το άθροισμα των 2 καναλιών σε μορφή συμπληρώματος ως προς 2 σταθερής υποδιαστολής 18.8

Πίνακας 6.5 Οι εισοδοί/εξοδοί του `channels_sum`

Το `channels_sum` αναπτύχθηκε σε VHDL στο εργαλείο ISE Project Navigator. Επαληθεύτηκε η ορθότητα των αποτελεσμάτων με προσομοίωση στο ISim. Αρχείο πηγαίου κώδικα είναι το `channels_sum.vhd`.

- 3) `fifo_in`: Πρόκειται για FIFO 26 x 16 μέσω της οποίας τροφοδοτείται το `fft_core` με δεδομένα εισόδου. Η FIFO υπάρχει ώστε να μην χαθούν δείγματα κατά την διάρκεια υπολογισμού του FFT, οπότε και δεν θα είναι δύνατη η άμεση προώθηση των δειγμάτων στο core. Έχει τα εξής σήματα εισόδου/εξόδου:

Όνομα	I/O	Μέγεθος	Περιγραφή
<code>clk</code>	I	1	Σήμα ρολογιού
<code>srst</code>	I	1	Σήμα σύγχρονου reset
<code>din</code>	I	26:0	Δεδομένα εισόδου
<code>wr_en</code>	I	1	Όταν έχει τιμή 1 ενεργοποιείται η εγγραφή δεδομένων στην FIFO
<code>rd_en</code>	I	1	Όταν έχει τιμή 1 ενεργοποιείται η ανάγνωση δεδομένων από την FIFO
<code>full</code>	O	1	Παίρνει τιμή 1 όταν γεμίσει η FIFO
<code>dout</code>	O	26:0	Δεδομένα εξόδου
<code>empty</code>	O	1	Παίρνει τιμή 1 όταν αδειάσει η FIFO
<code>almost_empty</code>	O	1	Παίρνει τιμή 1 όταν στην FIFO υπάρχει μόνο 1 στοιχείο
<code>data_count</code>	O	3:0	Αριθμός στοιχείων στην FIFO (0-15)

Πίνακας 6.5 Οι εισοδού/εξοδοί του `fifo_in`

Το `fifo_in` block έχει υλοποιηθεί με τον CORE Generator. Πρόκειται για το IP FIFO Generator v9.3. Έγιναν οι ακόλουθες ρυθμίσεις κατά την δημιουργία του:

Page 1

Interface Type: Native

Page 2

FIFO Implementation: Common Clock, Distributed RAM

Page 3

Read Mode: Standard FIFO

Write Width: 26

Write Depth: 16

Page 4

Optional Flags: Almost Empty Flag

Page 5

Initialization: Reset Pin

Reset Type: Synchronous Reset

Use Dout Reset

Use Dout Reset Value: 0

Page 6

Data Count

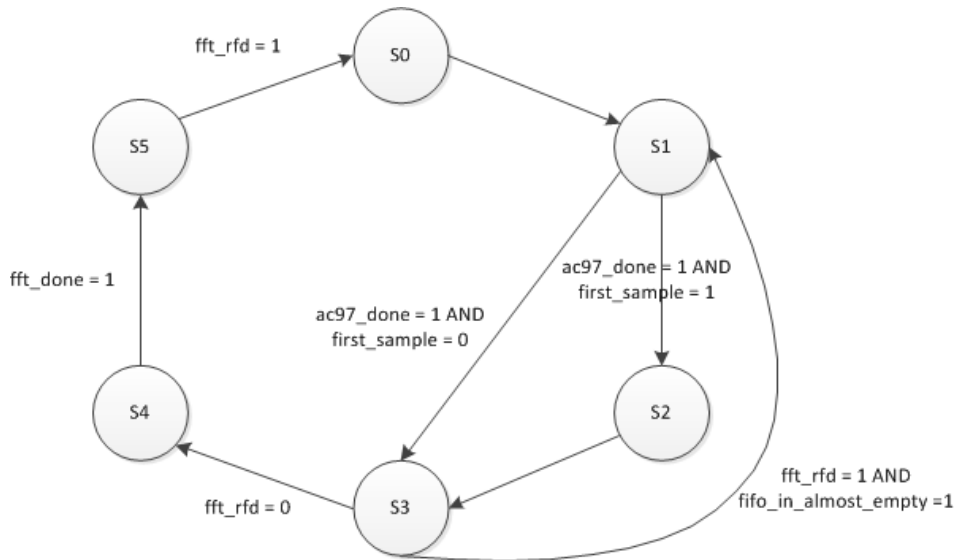
Data Count Width: 4

- 4) core_cntlr: Ελέγχει την διαδικασία φόρτωσης/εκφόρτωσης δεδομένων του FFT. Η ύπαρξή του είναι αναγκαία, καθώς ενώ το fft_core λειτουργεί με ρολόι 100 Mhz, τα δείγματα έρχονται με συχνότητα 20.5 KHz. Έτσι, πρέπει να υπάρχει έλεγχος της διαδικασίας φόρτωσης, ώστε να αποφευχθεί φόρτωση λάθος δεδομένων. Έχει τις εξής εισόδους/εξόδους:

Όνομα	I/O	Μέγεθος	Περιγραφή
clk	I	1	Σήμα ρολογιού
reset	I	1	Σήμα reset
ac97_done	I	1	Πρέπει να πάρει τιμή 1 όταν ολοκληρωθεί η άθροιση των δειγμάτων ήχου
fifo_in_dcount	I	3:0	Ο αριθμός στοιχείων της FIFO
fifo_in_almost_empty	I	1	Το almost_empty σήμα της FIFO
fifo_in_empty	I	1	Το empty σήμα της FIFO
fft_rfd	I	1	Το rfd σήμα του fft_core
fft_done	I	1	Το done σήμα του fft_core
fifo_in_rd_en	O	1	Οδηγεί το rd_en της FIFO
fft_ce	O	1	Οδηγεί το ce του fft_core
fft_unload	O	1	Οδηγεί το unload του fft_core
fft_sclr	O	1	Οδηγεί το sclr του fft_core
fsm_state	O	2:0	Η τρέχουσα κατάσταση του εσωτερικού state machine. Χρησιμοποιείται για debugging

Πίνακας 6.6 Οι εισόδου/εξόδοι του core_cntlr

Το core_cntlr πρόκειται ουσιαστικά για ένα state machine τύπου Mealy και αλλάζει κατάσταση του ανάλογα την τιμή των εισόδων σε συνδυασμό με την τρέχουσα κατάσταση. Η μετάβαση από μία κατάσταση σε μία άλλη γίνεται σύγχρονα με το ρολόι, ενώ οι εξόδοι αλλάζουν ασύγχρονα, ανάλογα με την τρέχουσα κατάσταση. Στο Σχήμα 6.3 δίνεται γράφος μετάβασης καταστάσεων του core_cntlr. Στον Πίνακα 6.7 φαίνονται οι τιμές των εξόδων ανάλογα την τρέχουσα κατάσταση.



Σχήμα 6.3 Ο γράφος μετάβασης καταστάσεων του core_cntlr

Το σήμα `first_sample` είναι εσωτερικό σήμα του `core_cntlr` και υποδηλώνει ότι το δείγμα αποτελεί το πρώτο δείγμα του πλαισίου. Η κατάσταση `S0` είναι η κατάσταση κατά την οποία το `fft_core` οδηγείται σε `synchronous reset` ώστε να γίνει αρχικοποίησή του. Η μετάβαση στην κατάσταση `S1` γίνεται μετά από 1 κύκλο ρολογιού. Στην κατάσταση `S1` το `core_cntlr` περιμένει για την έλευση καινούριων δεδομένων από το codec. Μόλις γίνει αυτό περνά στην κατάσταση `S3` είτε μέσω της κατάστασης `S2` (για το πρώτο δείγμα μόνο) είτε απευθείας (για όλα τα υπόλοιπα). Για όσο το `fft_core` κρατά το σήμα `fft_rfd` στην τιμή 1 και η FIFO έχει τουλάχιστον 1 δείγμα εντός της, η τρέχουσα κατάσταση εναλλάσσεται μεταξύ `S1` και `S3`, γίνεται φόρτωση δηλαδή του `fft_core` με δεδομένα εισόδου. Μόλις το `fft_core` οδηγήσει το σήμα `fft_rfd` στο 0, υπάρχει μετάβαση από κατάσταση `S3` σε `S4`, καθώς η φόρτωση έχει ολοκληρωθεί και έχει ξεκινήσει ο μετασχηματισμός FFT. Μετάβαση από `S4` σε `S5` γίνεται μόλις το σήμα `fft_done` πάρει την τιμή 1, δηλαδή μόλις τελειώσει ο μετασχηματισμός. Στην κατάσταση `S5` γίνεται η εκφόρτωση του `fft_core`. Μετάβαση στην αρχική κατάσταση `S0` γίνεται μόλις το `fft_core` οδηγήσει το σήμα `fft_rfd` στην τιμή 1. Γίνεται `synchronous reset` του `fft_core` και η διαδικασία ξεκινά από την αρχή.

Κατάσταση	<code>fifo_in_rd_en</code>	<code>fft_sclr</code>	<code>fft_unload</code>	<code>fft_ce</code>
S0	0	1	0	1
S1	0	0	0	0
S2	0	0	0	1
S3	1	0	0	1
S4	0	0	0	1
S5	0	0	1	1

Πίνακας 6.7 Οι έξοδοι του `core_cntlr` ανάλογα την τρέχουσα κατάσταση

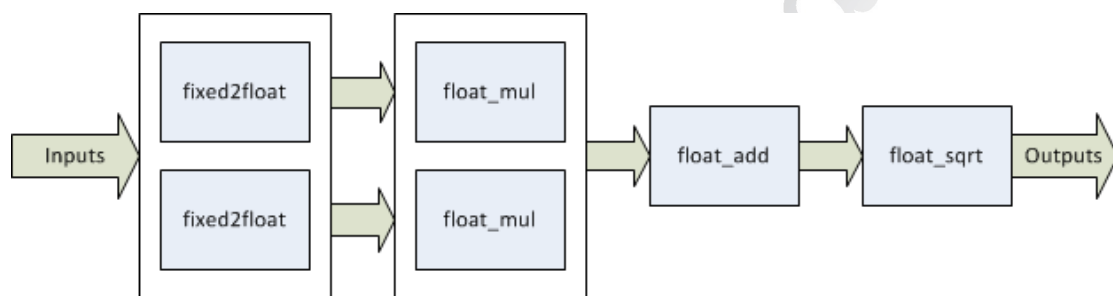
Η ανάπτυξη έγινε σε VHDL στο εργαλείο ISE Project Navigator. Επαληθεύτηκε η ορθότητα των αποτελεσμάτων με προσομοίωση στο ISim. Αρχείο πηγαίου κώδικα είναι το `core_cntlr.vhd`.

- 5) float_abs: Υπολογίζει το μέτρο των μιγαδικών αριθμών που αποτελούν την έξοδο του FFT. Αυτό υπολογίζεται όπως είναι γνωστό από τον τύπο:

$$|z| = \sqrt{a^2 + b^2} \quad \text{Σχέση 6.3}$$

Όπου $z = a + bi$ μιγαδικός αριθμός.

Ο υπολογισμός των τετραγώνων του πραγματικού και του φανταστικού μέρους γίνεται παράλληλα, αφού όμως μετατραπούν από αριθμούς σταθερής υποδιαστολής σε IEEE-754 αναπαράσταση κινητής υποδιαστολής. Η μετατροπή γίνεται ώστε το τελικό αποτέλεσμα να είναι σε floating-point μορφή – την οποία και θα μπορεί να χειριστεί ο PowerPC χωρίς κάποια επιπλέον πράξη -, αλλά και για να γίνει χρήση (για τους υπολογισμούς) IP cores κινητής υποδιαστολής παραγόμενα από τον CORE Generator. Στο Σχήμα 6.4 φαίνεται η αρχιτεκτονική του float_abs.



Σχήμα 6.4 Αρχιτεκτονική float_abs

Στον Πίνακα 6.8 καταγράφονται οι εισοδοί/έξοδοι του float_abs.

Όνομα	I/O	Μέγεθος	Περιγραφή
clk	I	1	Σήμα ρολογιού
rst	I	1	Σήμα reset
in_re	I	36:0	Το πραγματικό μέρος των δεδομένων εισόδου σε μορφή συμπληρώματος ως προς 2.
in_im	I	36:0	Το φανταστικό μέρος των δεδομένων εισόδου σε μορφή συμπληρώματος ως προς 2.
in_nd	I	1	Πρέπει να έχει την τιμή 1 για όσο υπάρχουν έγκυρα δεδομένα στην είσοδο του core
abs_value	O	31:0	Η απόλυτη τιμή του μιγαδικού σε IEEE-754 αναπαράσταση
dv	O	1	Έχει την τιμή 1 για όσο υπάρχουν έγκυρα δεδομένα στην έξοδο του core

Πίνακας 6.8 Οι εισοδοί/έξοδοι του float_abs

Το float_abs block αποτελείται από 2 μετρατοπείς από σταθερή υποδιαστολή σε κινητή, 2 floating point πολλαπλασιαστές, ένα floating point αθροιστή και ένα IP core που υπολογίζει την τετραγωνική ρίζα floating point αριθμού. Το σύνολο των επιμέρους blocks δημιουργήθηκε με τον CORE Generator παραμετροποιώντας κατάλληλα το IP core Floating Point Operator v5.0. Οι ρυθμίσεις που έγιναν για κάθε ένα από τα blocks αυτά είναι οι ακόλουθες:

- Block fixed2float: Μετατροπή από αναπαράσταση σταθερής υποδιαστολής σε IEEE-754 floating point αναπαράσταση.

Page 1
Operation: Fixed-to-float

Page 2
Precision of A/B Inputs: Custom
Integer Width: 29
Fraction Width: 8

Page 3
Precision of Result: Single

Page 4
Use Maximum Latency: No
Latency: 4

Page 5
Handshaking Signals: OPERATION_ND, RDY
Control Signals: SCLR

- Block float_mul: Floating point πολλαπλασιαστής. Χρησιμοποιείται για τον υπολογισμό των τετραγώνων του πραγματικού και του φανταστικού μέρους των δειγμάτων εξόδου του FFT.

Page 1
Operation: Multiply

Page 2
Precision of A/B Inputs: Single

Page 3
Family Optimizations: Max Usage
Use Maximum Latency: No
Latency: 6

Page 4
Handshaking Signals: OPERATION_ND, RDY
Control Signals: SCLR

- Block float_add: Floating point αθροιστής. Χρησιμοποιείται για την άθροιση των τετραγώνων.

Page 1
Operation: Add

Page 2
Precision of A/B Inputs: Single
Integer Width: 29
Fraction Width: 8

Page 3
Family Optimizations: Full Usage
Use Maximum Latency: No
Latency: 7

Page 4
Handshaking Signals: OPERATION_ND, RDY
Control Signals: SCLR

- Block float_sqrt: Υπολογισμός τετραγωνικής ρίζας floating point αριθμού. Αποτελεί το τελευταίο βήμα υπολογισμού του μέτρου των μιγαδικών δειγμάτων εξόδου του FFT.

Page 1

Operation: Square-root

Page 2

Precision of A/B Inputs: Single

Integer Width: 29

Fraction Width: 8

Page 3

Use Maximum Latency: No

Latency: 14

Cycles per operation: 1

Page 4

Handshaking Signals: OPERATION_ND, RDY

Control Signals: SCLR

- 6) write2bram: Αποτελεί την διεπαφή με την BRAM την οποία μοιράζεται το SMD core με τον PowerPC. Εγγράφει σε αυτήν τα έγκυρα αποτελέσματα του float_abs, και μόλις τελειώσει δημιουργεί παλμό που θα αποτελέσει διακοπή (ακμοπυροδοτήθη θετικής κατεύθυνσης) για τον PowerPC. Στον Πίνακα 6.9 παρατίθενται οι εισοδοί/έξοδοι του block αυτού:

Όνομα	I/O	Μέγεθος	Περιγραφή
clk	I	1	Σήμα ρολογιού
din	I	31:0	Δεδομένα εισόδου
dv	I	1	Πρέπει να έχει την τιμή 1 για όσο υπάρχουν έγκυρα δεδομένα στην είσοδο του core
dout	O	31:0	Δεδομένα εξόδου προς BRAM
addr	O	31:0	Διεύθυνση εγγραφής σε BRAM
en	O	1	Σήμα ενεργοποίησης BRAM
wen	O	0:3	Σήμα που ενεργοποιεί την εγγραφή στην BRAM. Μεγέθους 4 bits, 1 για κάθε byte.
rst	O	1	Σήμα reset προς BRAM
done	O	1	Σήμα διακοπής προς PowerPC. Υποδηλώνει το τέλος εγγραφής 1024 απόλυτων τιμών (μέτρων) της εξόδου του FFT

Πίνακας 6.9 Οι εισοδοί/έξοδοι του write2bram

Το write2bram υλοποιήθηκε σε VHDL στο εργαλείο ISE Project Navigator. Επαληθεύτηκε η ορθότητα των αποτελεσμάτων με προσομοίωση στο ISim. Αρχείο πηγαίου κώδικα είναι το write2bram.vhd.

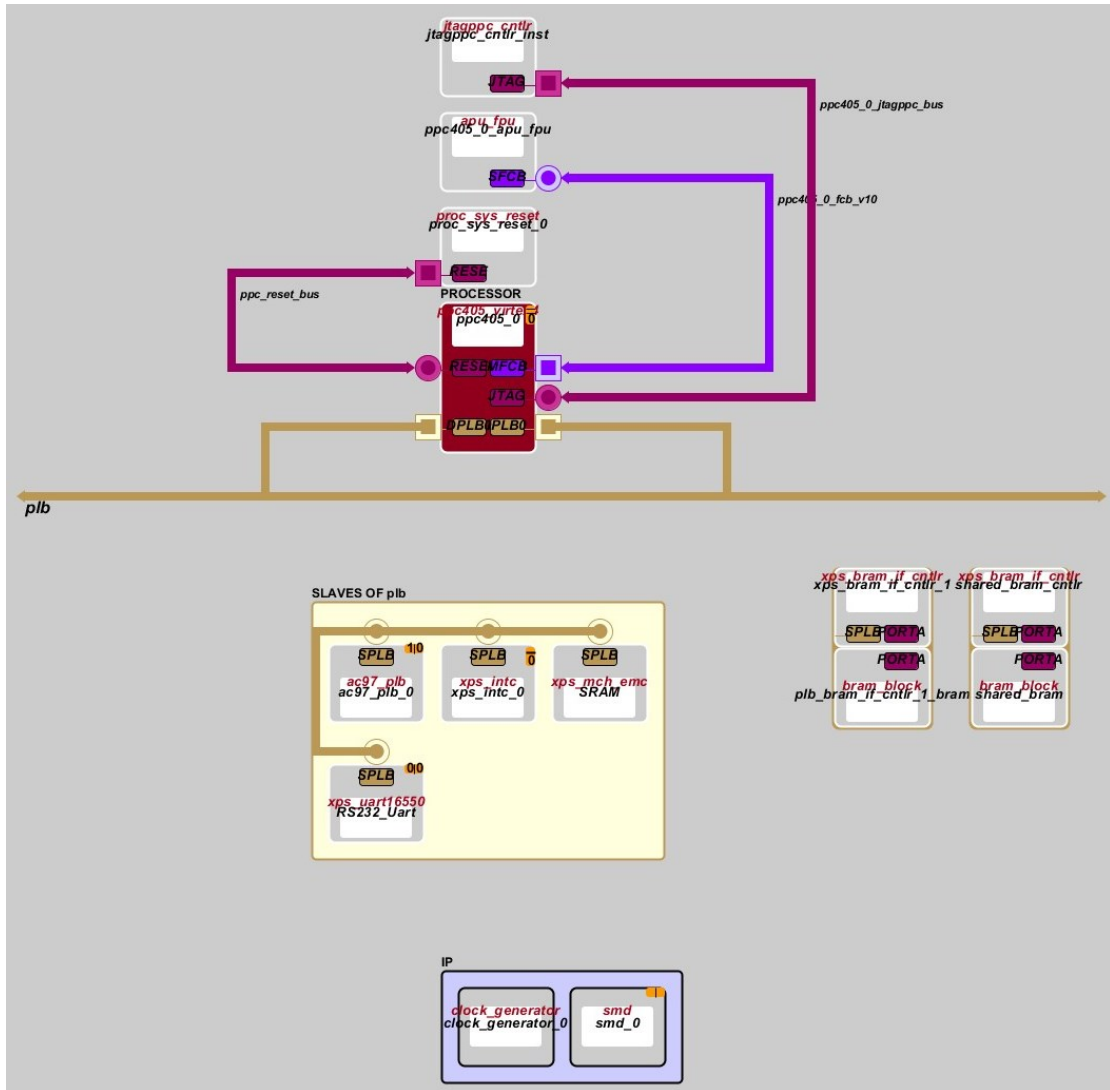
6.4 Σύνθεση συστήματος στο XPS

Έχοντας αναπτύξει τον ελεγκτή AC97 και το SMD core, αυτό που μένει για την ολοκλήρωση της ανάπτυξης του υλικού είναι η ένταξη των δύο αυτών cores σε σύστημα βασισμένο στον PowerPC. Για τις ανάγκες του συστήματος χρειάστηκαν βέβαια και άλλα περιφερειακά, όπως για παράδειγμα ελεγκτές μνημών, ελεγκτές RS-232 επικοινωνίας κα. Τα περιφερειακά επικοινωνούν με τον επεξεργαστή μέσω διάλυο PLB (περισσότερες πληροφορίες για τον διάλυο PLB στο Κεφάλαιο 4.4.1). Η ανάπτυξη του συστήματος έγινε στο XPS (έκδοση 14.5), με την βοήθεια του Base System Builder.

Το σύστημα αποτελείται από τα εξής (στην παρένθεση σημειώνεται το όνομα του IP):

- Επεξεργαστή PowerPC 405 (ppc405_virtex4). Σε αυτόν εκτελείται το λογισμικό που υλοποιεί τον αλγόριθμο διαχωρισμού.
- Αριθμητική μονάδα κινητής υποδιαστολής (apu_fpu). Έχει προστεθεί στο σύστημα για ταχύτερη αριθμητική επεξεργασία floating point αριθμών.
- Δίαυλο PLB για επικοινωνία με τα περιφερειακά (plb_v46)
- Δίαυλο FCB για επικοινωνία μεταξύ PowerPC και αριθμητικής μονάδας κινητής υποδιαστολής (fcb_v10). Χρησιμοποιείται για την επικοινωνία αυτή και μόνο, για λόγους απόδοσης.
- Block μνήμης BRAM για αποκλειστική χρήση από τον PowerPC (bram_block) για τις ανάγκες του λογισμικού του (μνήμη για σωρό, στοίβα, δεδομένα κλπ)
- Ελεγκτής διεπαφής block μνήμης αποκλειστικής BRAM με δίαυλο PLB (xps_bram_if_cntlr). Παρέχει διεπαφή PLB στην BRAM.
- Μονάδα επανεκκίνησης συστήματος (proc_sys_reset)
- Ελεγκτής JTAG (jtagppc_cntlr). Χρησιμοποιείται για προγραμματισμό και αποσφαλμάτωση.
- Ελεγκτής εξωτερικής μνήμης, για έλεγχο εξωτερικής SRAM (xps_mch_emc). Έχει προστεθεί ώστε να είναι δυνατή η χρήση της εξωτερικής SRAM μεγέθους 8 MB που υπάρχει στην πλακέτα.
- Ελεγκτής διακοπών PowerPC (xps_intc). Συλλέγει σήματα τα οποία επιθυμούμε να προκαλούν interrupt, ορίζει προτεραιότητες και συνθήκες πυροδότησης και ενεργοποιεί κατάλληλα τους εσωτερικούς μηχανισμούς χειρισμού εξαιρέσεων του PowerPC. Διαθέτει διεπαφή PLB.
- Ελεγκτής AC97 (ac97_plb). Περισσότερες πληροφορίες στην ενότητα 6.2.
- SMD core (smd). Περισσότερες πληροφορίες στην ενότητα 6.3.
- Ελεγκτής UART επικοινωνίας (xps_uart16550). Μέσω αυτής μπορεί να αλληλεπιδρά ο χρήστης με το σύστημα. Διαθέτει διεπαφή PLB.
- Block μνήμης BRAM για κοινή χρήση από τον PowerPC και το SMD (bram_block). Σε αυτή εγγράφονται τα αποτελέσματα του float_abs.
- Ελεγκτής διεπαφής block μνήμης κοινής BRAM με δίαυλο PLB (xps_bram_if_cntlr).
- Γεννήτρια σημάτων ρολογιού (clock_generator). Παράγει και διανέμει τα απαιτούμενα σήματα ρολογιού.

Στο Σχήμα 6.5 φαίνεται πως συνδέονται τα παραπάνω στοιχεία. Το δομικό διάγραμμα παράχθηκε αυτόματα από το XPS.



Σχήμα 6.5 Δομικό διάγραμμα τελικού συστήματος

Σημειώνεται πως σε περίπτωση που επιθυμούμε την παρατήρηση σημάτων μέσω του ChipScope Pro πρέπει να προστεθούν στο σύστημα ενσωματωμένος λογικός αναλυτής (chipscope_ila) και ο απαραίτητος ελεγκτής (chipscope_icon). Επίσης, θα χρησιμοποιηθεί και μέρος της διαθέσιμης BRAM για buffering των δειγμάτων που θα συλλέγονται.

Το σύστημα χωρίς την προσθήκη λογικού αναλυτή χρησιμοποιεί τους πόρους του FPGA ως ακολούθως:

Device Utilization Summary:

Number of BUFs	3 out of 32	9%
Number of DCM_ADVs	1 out of 4	25%
Number of DSP48s	26 out of 32	81%
Number of ILOGICs	33 out of 320	10%
Number of External IOBs	71 out of 320	22%
Number of LOCed IOBs	71 out of 71	100%
Number of JTAGPPCs	1 out of 1	100%
Number of OLOGICs	62 out of 320	19%

Number of PPC405_ADVs	1 out of 1	100%
Number of RAMB16s	27 out of 36	75%
Number of Slices	5140 out of 5472	93%
Number of SLICEMs	456 out of 2736	16%

Η αναφορά αυτή παράχθηκε από το XPS μετά την διαδικασία τοποθέτησης και δρομολόγησης.

6.5 Ανάπτυξη λογισμικού στο SDK

Μετά το πέρας της διαδικασίας τοποθέτησης και δρομολόγησης που έγινε από το XPS, υπάρχει η δυνατότητα εξαγωγής της σχεδίασης με σκοπό την εισαγωγή της στο SDK. Γενικότερα η ανάπτυξη λογισμικού απευθυνόμενου σε πλατφόρμα της Xilinx μέσω SDK γίνεται σε 3 βήματα:

- 1) Εισαγωγή περιγραφής πλατφόρμας υλικού μέσω της διαδικασίας New Hardware Platform Specification. Εδώ ορίζεται η διαδρομή στην οποία έγινε εξαγωγή της σχεδίασης από το XPS.
- 2) Δημιουργία Board Support Package μέσω της διαδικασίας New Board Support Package. Σε αυτό ορίζουμε για ποια πλατφόρμα υλικού θέλουμε να δημιουργηθεί το BSB.
- 3) Δημιουργία καινούριου C/C++ Project για Xilinx PowerPC. Ορίζουμε με ποιο BSB θα συνδεθεί η εφαρμογή. Από εδώ και πέρα μπορούμε να προσθέσουμε τα αναγκαία πηγαία αρχεία και να αναπτύξουμε το λογισμικό.

Το λογισμικό της παρούσας εργασίας είναι ανεπτυγμένο στην γλώσσα C και αποτελείται από τα εξής αρχεία:

- platform.c: Περιέχει συναρτήσεις σχετικές με την πλατφόρμα υλικού που έχει χρησιμοποιηθεί, όπως για παράδειγμα ενεργοποίησης/απενεργοποίησης cache μνημών, ρύθμισης και χειρισμού διακοπών κλπ.
- platform.h: Αρχείο επικεφαλίδας (header file) στο οποίο ορίζονται παράμετροι σχετικές με την πλατφόρμα υλικού.
- ac97.c: Οδηγός (driver) του περιφερειακού ac97_plb που αναπτύχθηκε σε προηγούμενο βήμα. Περιέχει συναρτήσεις με τις οποίες γίνεται έλεγχος, ανάγνωση και εγγραφή του codec LM4550 μέσω του custom ελεγκτή που έχει αναπτυχθεί.
- ac97.h: Header file του driver του ac97_plb, στο οποίο ορίζονται παράμετροι, διεθύνσεις και μάσκες σχετικές με τον ελεγκτή ac97.
- app_ui.c: Περιέχει συναρτήσεις σχετικές με το user interface της εφαρμογής.
- app_ui.h: Header file του user interface της εφαρμογής.
- smd.c: Συναρτήσεις σχετικές με τον αλγόριθμο διαχωρισμού, για παράδειγμα συναρτήσεις υπολογισμού των χαρακτηριστικών του πλαισίου ήχου (εντροπία κλπ)
- smd.h: Header file στο οποίο ορίζονται παράμετροι σχετικές με τον αλγόριθμο διαχωρισμού.
- main.c: Ο κύριος βρόχος του λογισμικού.
- Iscript.ld: Στο αρχείο αυτό ορίζονται οι περιοχές μνήμης οι οποίες θα χρησιμοποιηθούν για τον σωρό, την στοίβα, τα δεδομένα, τα αρχικοποιημένα δεδομένα, τον κώδικα κλπ.

Στο αρχείο main.c υλοποιείται, όπως προαναφέρθηκε, ο αλγόριθμος διαχωρισμού ομιλίας από μουσική. Μόλις ολοκληρωθεί η εγγραφή των 1024 μέτρων των δειγμάτων εξόδου του fft_core στην κοινή – μεταξύ SMD core και PowerPC – BRAM, δημιουργείται σήμα το οποίο προκαλεί διακοπή στην κανονική ροή του προγράμματος. Τα αποτελέσματα διαβάζονται από την μνήμη, και ξεκινά ο υπολογισμός των χαρακτηριστικών (Features) του πλαισίου, δηλαδή της χρωματικής εντροπίας, της μέσης τιμής και της τυπικής απόκλισης. Τα χαρακτηριστικά αυτά χρησιμοποιούνται ως κριτήριο κατηγοριοποίησης του πλαισίου ως ομιλία ή μουσική. Συγκεκριμένα, ένα πλαίσιο χαρακτηρίζεται ως ομιλία στην περίπτωση που η τυπική απόκλιση είναι μεγαλύτερη ενός προκαθορισμένου ορίου (Threshold). Περισσότερες πληροφορίες για τον αλγόριθμο διαχωρισμού στο Κεφάλαιο 1.2.

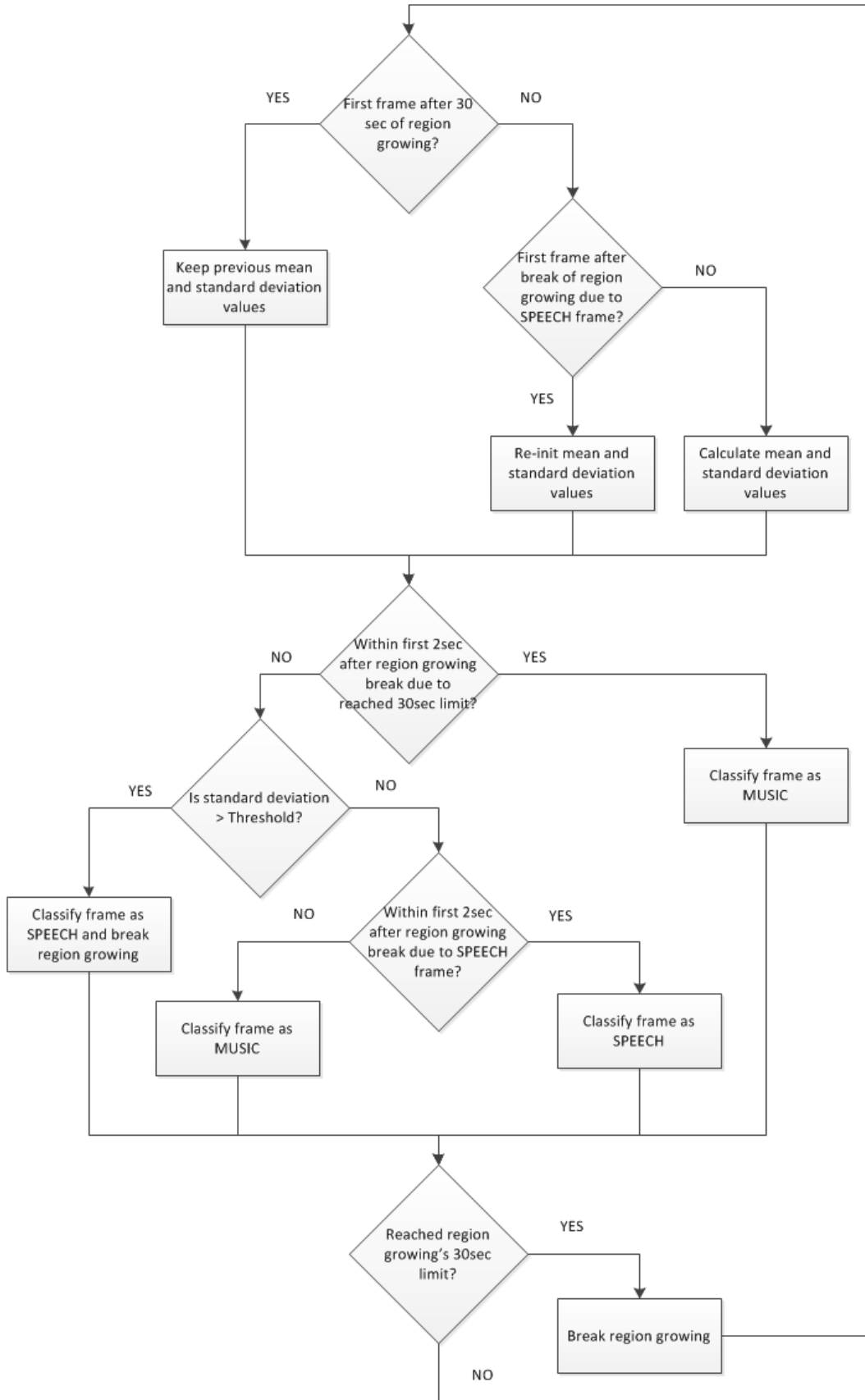
Παρακάτω δίνεται ο υλοποιηθείς αλγόριθμος σε ψευδοκώδικα και διάγραμμα ροής (Σχήμα 6.6):

```

// Αρχικοποίηση περιβάλλοντος (codec, interrupts, καθολικών μεταβλητών)
init_platform ()
// Χρόνος μετά την διακοπή επέκτασης περιοχής λόγω παρέλευσης 30
δευτερολέπτων. Στον χρόνο αυτό αναπαράγεται ήχος από την έξοδο.
RegionTransitionPeriod (2 sec):
// Χρόνος κατά την αρχικοποίηση ή μετά την έναρξη μιας νέας περιοχής. Σε
αυτά τα 2 δευτερόλεπτα δεν αναπαράγεται ήχος στην έξοδο.
AlgoWarmUpPeriod (2 sec):
// Έναρξη του αλγορίθμου.
Start AlgoWarmUpPeriod;
// Ατέρμων βρόγχος
while true loop
// Λάβε το επόμενο Frame μέτρων FFT 1024 δειγμάτων.
    get next frame;
// Αύξησε το πλήθος των πλαισίων.
    FramesCnt ++;
// Υπολογισμός των χαρακτηριστικών του πλαισίου.
    calcFFTnp ();
// Πρώτο πλαίσιο μετά την διακοπή επέκτασης περιοχής λόγω παρελεύσης 30
δευτερολέπτων.
    if FramesCnt = 1 and RegionGrowLimit then
// Διατήρησε την Μέση Τιμή.
        keep previous MeanVal;
// Διατήρησε την τιμή της Τυπικής Απόκλισης.
        keep previous StdDev;
        RegionGrowLimit = false;
// Πρώτο πλαίσιο μετά την διακοπή επέκτασης περιοχής λόγω ενός πλαισίου
ομιλίας.
    else if FramesCnt = 1 and RegionGrowBreak then
// Η Μέση Τιμή λαμβάνει την τιμή της Χρωματικής Εντροπίας.
        MeanVal = Chroma;
// Η τιμή της Τυπικής Απόκλισης μηδενίζεται.
        StdDev = 0;
        RegionGrowBreak = false;
    Else
// Υπολόγισε τη νέα Μέση Τιμή.
        calculate MeanVal of the growing region;
// Υπολόγισε τη νέα τιμή της Τυπικής Απόκλισης.
        calculate StdDev of the growing region;
    end if;
// Κατά την διάρκεια των 2 δευτερολέπτων μετά την διακοπή περιοχής λόγω
παρέλευσης 30
// δευτερολέπτων
    if within RegionTransitionPeriod then
// Χαρακτήρισε το τρέχων πλαίσιο ως Μουσική.
        classify the frame as MUSIC;
    else
// Σε αντίθετη περίπτωση γίνεται έλεγχος με την τιμή του Κατωφλίου.
// Αν η τιμή της Τυπικής Απόκλισης είναι μεγαλύτερη του Κατωφλίου.
        if StdDev > Threshold then
// Διέκοψε της επέκταση περιοχής.
            RegionGrowBreak = true;

```

```
// Μηδενισμός του πλήθους πλαίσιων.  
    FramesCnt = 0;  
// Στα επόμενα 2 δευτερόλεπτα δεν αναπαράγεται ήχος στην έξοδο.  
    Start AlgoWarmUpPeriod;  
// Χαρακτήρισε το τρέχων πλαίσιο ως Ομιλία.  
    classify the frame as SPEECH;  
// Αν η τιμή της Τυπικής Απόκλισης είναι μικρότερη του Κατωφλίου.  
    else if StdDev <= Threshold then  
// Αν βρίσκομαστε στα πρώτα 2 δευτερόλεπτα μετά την διακοπή περιοχής λόγω  
ύπαρξης πλαίσιου  
// Ομιλίας  
        if within AlgoWarmUpPeriod then  
// Χαρακτήρισε το τρέχων πλαίσιο ως Ομιλία.  
            classify the frame as SPEECH  
        else  
// Χαρακτήρισε το τρέχων πλαίσιο ως Μουσική.  
            classify the frame as MUSIC;  
        end if;  
    end if;  
end if;  
// Αν η συνεχής επέκταση περιοχής ξεπεράσει τα 30 δευτερόλεπτα τότε  
διακόπτεται.  
    if FramesCnt = RegionLengthLimit then  
        RegionGrowLimit = true;  
// Μηδενισμός του αριθμού των πλαίσιων.  
        FramesCnt = 0;  
// Στα επόμενα 2 δευτερόλεπτα πραγματοποιείται αναπαραγωγή από την έξοδο.  
        Start RegionTransitionPeriod (2 sec)  
    end if;  
end loop;
```

Σχήμα 6.6 Διάγραμμα ροής αλγόριθμου διαχωρισμού

6.6 Χρόνοι εκτέλεσης πριν και μετά την επιτάχυνση με χρήση FPGA

Καθώς η παρούσα εργασία έχει ως βασικό στόχο την επιτάχυνση του αλγορίθμου, και συγκεκριμένα του χρόνου εξαγωγής του χαρακτηριστικού μεγέθους της χρωματικής εντροπίας, κρίνεται σκόπιμη η παράθεση μέσω χρόνων υπολογισμού αυτής πριν και μετά την επιτάχυνση.

Ως χρόνος εξαγωγής του χαρακτηριστικού της χρωματικής εντροπίας ορίζεται ο χρόνος που απαιτείται για την εκτέλεση των εξής:

1. Υπολογισμός μέσης τιμής των δύο καναλιών ήχου (αριστερό και δεξί) για κάθε δείγμα.
2. Γρήγορος Μετασχηματισμός Fourier(FFT) 1024 σημείων.
3. Υπολογισμός μέτρων (απόλυτης τιμής) των αποτελεσμάτων του FFT.
4. Κανονικοποίηση κάδων συχνοτήτων.
5. Υπολογισμός χρωματικής εντροπίας.
6. Υπολογισμός μέσης τιμής και τυπικής απόκλισης χρωματικής εντροπίας.

Στην παλαιότερη διατριβή το σύνολο των ανωτέρω εργασιών γίνεται από το λογισμικό του επεξεργαστή. Στον συνολικό χρόνο πρέπει να συνυπολογιστεί επίσης και ο χρόνος που χρειάζεται για να αναγνώσει ο επεξεργαστής τα δείγματα από τον ψηφιακό AC97 ελεγκτή της υλοποίησης.

Στην παρούσα εργασία ο χρόνος υπολογισμού της μέσης τιμής των δύο καναλιών ήχου (αριστερό και δεξί) για κάθε δείγμα θεωρείται μηδενικός, καθώς γίνεται για κάθε δείγμα στο χρονικό παράθυρο που μεσολαβεί μέχρι την λήψη καινούριου δείγματος. Ο FFT και ο υπολογισμός των μέτρων γίνεται στο υλικό, ενώ ο υπολογισμός χρωματικής εντροπίας, μέσης τιμής και τυπικής απόκλισης (από το λογισμικό του επεξεργαστή). Στον συνολικό χρόνο πρέπει να συνυπολογιστεί ο χρόνος που χρειάζεται για την εγγραφή των μέτρων σε κοινή με τον επεξεργαστή μνήμη (από το SMD IP) και την ανάγνωση των μέτρων από την κοινή μνήμη (από τον επεξεργαστή).

Όπως φαίνεται και στον πίνακα 6.10, έχει επιτευχθεί μείωση των χρόνων εκτέλεσης κατά 19.87%, και μείωση του συνολικού χρόνου, δηλαδή ως την απόφαση για την κατηγορία που ανήκει το πλαίσιο ήχου που εξετάζεται και την αποκοπή ή μη αποκοπή της εξόδου, κατά 14.16%.

	Μέσος χρόνος εκτέλεσης υπολογισμών (ms)	Μέσος συνολικός χρόνος αλγορίθμου (ms)
Πριν την επιτάχυνση με χρήση FPGA	25.62	35.80
Μετά την επιτάχυνση με χρήση FPGA	20.53	30.73

Πίνακας 6.10 Μέσοι χρόνοι υπολογισμού

Σημειώνεται πως στην παλαιότερη προσέγγιση, οι υπολογισμοί γίνονται σε πλαίσια ήχου απαρτιζόμενα από 768 δείγματα. Τα δείγματα αυτά, τα οποία είχαν δειγματοληπτηθεί με ρυθμό 16KHz, αποτελούσαν ένα πλαίσιο ήχου διάρκειας 48 ms. Στην παρούσα εργασία οι υπολογισμοί έχουν γίνει σε πλαίσια διάρκειας 49.97 ms αποτελούμενα από 1024 δείγματα τα οποία δειγματοληπτήθηκαν με ρυθμό 20.5KHz. Η ανάλυση γίνεται σε πλαίσια ήχου μεγαλύτερης συχνότητας, κάτι που απαιτεί την εκτέλεση περισσότερων πράξεων. Αυτό καθιστά τις δύο μετρήσεις (πριν και μετά την επιτάχυνση) μη άμεσα μετρήσιμες. Προκειμένου να είναι άμεσα μετρήσιμη η επιτάχυνση, πρέπει να γίνει αναγωγή των μετρήσεων της παλαιότερης προσέγγισης σε χρόνους που θα αντιπροσωπεύουν την εκτέλεση του ίδιου αριθμού πράξεων, δηλαδή για πλαίσια 1024 δειγμάτων.

6.7 ΜΕΛΛΟΝΤΙΚΕΣ ΒΕΛΤΙΩΣΕΙΣ

Η παρούσα εργασία πέτυχε μία σημαντική μείωση του χρόνου εκτέλεσης του αλγορίθμου μέσω της εκτέλεσης στο FPGA των πιο χρονοβόρων απαιτούμενων υπολογισμών. Η μείωση αυτή θα μπορούσε να γίνει ακόμα μεγαλύτερη με χρησιμοποίηση μεγαλύτερου FPGA και εκτέλεση σε αυτό παραπάνω υπολογισμών. Επίσης, βελτιστοποίηση του λογισμικού, τόσο σε επίπεδο εφαρμογής όσο και σε επίπεδο οδηγών (drivers), θα μπορούσε να αποφέρει αισθητή μείωση του συνολικού χρόνου εκτέλεσης του αλγορίθμου.

Μία ακόμα πιθανή βελτίωση της ως τώρα αρχιτεκτονικής θα μπορούσε να είναι η υλοποίηση εντός του FPGA λογικής η οποία θα καθυστερεί την αναπαραγωγή ήχου στην έξοδο κατά χρόνο ίσο με τον χρόνο που χρειάζεται για να παρθεί η απόφαση για το αν το παρόν πλαίσιο είναι ομιλία ή μουσική. Κάτι τέτοιο θα μείωνε το σφάλμα ειδικά κατά τις μεταβάσεις από ομιλία σε μουσική και το αντίστροφο.

Βιβλιογραφία

1. Khaled El-Maleh, Mark Klein, Grace Petrucci, Peter Kabal, "Speech/Music Discrimination for Multimedia Applications", Conference on Acoustics, Speech, and Signal Processing
2. Jayme Garcia Arnal Barbedo, Amauri Lopes, "New Feature For Automatic Speech/Music Discrimination", Department of Communications – FEEC – UNICAMP C.P. 6101 – CEP 13.081-970 – Campinas – SP – Brazil
3. E. Scheirer and M. Slaney, "Construction and Evaluation of a Robust Multifeature Speech/Music Discriminator", in Proc. ICASSP, pp. 1331-1334, Munich, Germany, 1997
4. J. Saunders, "Real-time discrimination of broadcast speech/music," Proc. IEEE Int. Conf. on Acoustics, Speech, Signal Processing (Atlanta, GA), pp. 993-996, May 1996
5. Aggelos Pikrakis, Theodoros Giannakopoulos, Sergios Theodoridis, "A computationally efficient speech/music discriminator for radio recordings", University of Athens - Department of Informatics and Telecommunications
6. Xilinx, "ML401/ML402/ML403 Evaluation Platform User Guide v2.5", 2006
7. Xilinx, ML40x EDK Processor Reference Design, 2006
8. Intel, "AC '97 Component Specification Revision 2.3 Rev 1.0", 2002
9. National Semiconductors, "LM4550 AC '97 Rev 2.1 Multi-Channel Audio Codec with Stereo Headphone Amplifier, Sample Rate Conversion and National 3D Sound", 2003
10. Mike Wirthlin, Lectures on Audio, Brigham Young University, 2011
11. Θεμελίδης Ιωάννης, Υλοποίηση και Αξιολόγηση FFT Αλγορίθμων για Παράλληλες Αρχιτεκτονικές Καταμεμημένες Μοιραζόμενης Μνήμης, 2004
12. FFT, http://en.wikipedia.org/wiki/Fast_Fourier_transform.
13. University of Rhode Island Department of Electrical and Computer Engineering, FFT Tutorial
14. Xilinx, LogiCORE IP Fast Fourier Transform v7.1, 2011
15. Steven W. Smith, The Scientist and Engineer's Guide to Digital Signal Processing, 2011
16. Ross Snider, Audio Processing on the Xilinx ML403 Virtex-4 Evaluation Board, Montana State University, 2009
17. Clive Maxfield, The Design Warrior's Guide to FPGAs, 2004
18. Peter J. Ashenden, Ψηφιακή σχεδίαση – Ενσωματωμένα συστήματα με VHDL, 2010
19. Xilinx, XtremeDSP for Virtex-4 FPGAs, 2008
20. Xilinx, Virtex-4 FPGA User Guide, 2008
21. Xilinx, Virtex-4 family Overview, 2010
22. Xilinx, System Generator for DSP Reference Guide 10.1, 2008
23. Xilinx, PowerPC 405 Processor Block Reference Guide, 2010
24. Xilinx, PowerPC 405 Processor Reference Guide, 2010
25. IBM, CoreConnect Bus Architecture, 1999
26. IBM, 128-Bit Processor Local Bus Architecture Specifications Version 4.7, 2007
26. Xilinx, Using and Creating Interrupt-Based Systems, 2005.
27. Xilinx, EDK Concepts, Tools and Techniques, 2013
28. Xilinx, Embedded System Tools Reference Manual, 2013
29. Xilinx, LogiCORE IP FIFO Generator v9.3 Product Guide, 2012
30. Xilinx, LogiCORE IP Floating-Point Operator v5.0, 2011
31. Mike Wirthlin, OPB Ac97 version 2.00 a, Brigham Young University, 2005.
32. Καραγκούνης Σωτήρης, Πραγματικού χρόνου διαχωρισμός ανθρώπινης ομιλίας από μουσική σε ενσωματωμένη πλατφόρμα FPGA, Πανεπιστήμιο Πειραιά, 2011
33. Volnei A. Pedroni, Circuit design with VHDL, 2004